

## 明 細 書

### メモリ装置

### 技術分野

- [0001] 本発明は、メモリセルの不良部分を救済するメモリチップ、および前記メモリチップを含むメモリシステムに関する。

### 背景技術

- [0002] メモリチップには、プロセスにおける不具合などによって、正常な記憶動作を行なえない部分であるエラービットが生じることがある。メモリチップにエラービットが1つでも存在すると、メモリチップは不良品として廃棄されることになり、生産の歩留まりを低下させる。

図17は、従来のメモリチップ1の構成を示すブロック図である。図17に示されるような典型的な従来技術は、特開平11-250691号公報に記載されている。特開平11-250691号公報に記載されているメモリチップ1は、メモリチップ1に本来必要とされる記憶容量を越える記憶素子として冗長行メモリセル2および冗長列メモリセル3を有し、メインメモリセル4のエラービットを前記冗長行メモリセル2および前記冗長列メモリセル3に置き換えて、メモリチップ1を良品にする。

メモリチップ1は、メインメモリセル4、冗長行メモリセル2、冗長列メモリセル3、第1デマルチプレクサ5、第1ヒューズ回路6、第2デマルチプレクサ7、第2ヒューズ回路8、冗長行セクタ9、冗長列セクタ10、リードライト制御部11および冗長実行信号用端子12を含む。メインメモリセル4は、データを記憶させるためのメモリセルである。メインメモリセル4は、直交する2つの線であるデータ線およびワード線が交差する箇所でデータを保持する。第1デマルチプレクサ5および第2デマルチプレクサ7は、メインメモリセル4におけるデータ線およびワード線を選択する回路である。冗長行メモリセル2および冗長列メモリセル3は、メインメモリセル4のデータ線およびワード線が断線するなどの不良が生じた場合に、代替用のメモリセルとなる。

メモリチップ製造プロセスにおける検査・リペア工程で、メインメモリセル4のデータ線およびワード線の不良が見つかり、冗長実行信号用端子12に冗長実行信号を

与えて、置き換えるデータ線およびワード線に対応するアドレスをアドレス線に指定して、冗長行セクタ9および冗長列セクタ10の判定値として対応する値を記憶させる。さらに置き換えるデータ線およびワード線に対応する第1および第2デマルチプレクサ5, 7の出力を、第1および第2ヒューズ回路6, 8を用いて無効化させて、対応する値が指定されるとメインメモリセル4の対応する部分であるエラービットは動作しないよう設定する。このようにして、メインメモリセル4のエラービットを冗長行メモリセル2および冗長列メモリセル3に置き換えて、メインメモリ4を良品として動作させる。

メモリチップ1のメインメモリセル4に発生するエラービットは、統計的な乱雑さを持って発生する。メモリチップ毎のエラービットの数は、統計的確率を持って分布するので、冗長救済するために必要な冗長行メモリセル2および冗長列メモリセル3の記憶容量は、冗長救済によって向上できる歩留まりと、冗長行メモリセル2および冗長列メモリセル3によって増大するメモリチップ1のサイズとの兼ね合いによって決定される。このために、ある確率をもって冗長救済できないメモリチップ、すなわち不良品として廃棄せざるを得ないメモリチップが生じる。

## 発明の開示

[0003] 本発明の目的は、自己のメインメモリ手段だけでなく他のメモリ装置のメインメモリ手段をも救済し、高い歩留まりを得られるメモリ装置を提供することである。

本発明は、メインメモリ手段と、  
メインメモリ手段に存在する欠陥を救済する冗長メモリ手段と、  
メインメモリセルに対応する認識番号を記憶する認識番号記憶手段と、  
認識番号を含む救済命令が入力される救済命令入力手段と、  
メインメモリ手段の欠陥に対応するメモリ空間をメインメモリ手段から切離して動作させないようにするメモリ空間切離手段と、  
メインメモリ手段の欠陥が生じたメモリ空間を冗長メモリ手段のメモリ空間に置き換えるように割当てする割当手段とを含み、

該割当手段は、救済命令に含まれる認識番号が、認識番号記憶手段に記憶されている認識番号に一致する場合、救済命令入力手段に入力される救済命令によって指定されたメインメモリ手段の欠陥に対応するメモリ空間をメインメモリ手段から切

離して動作させないようにし、

救済命令に含まれる認識番号が、認識番号記憶手段に記憶されている認識番号に一致する場合、救済命令入力手段に入力される救済命令によって指定されたメインメモリ手段の欠陥に対応するメモリ空間を冗長メモリ手段のメモリ空間に置き換えるように割当て、

救済命令に含まれる認識番号が、認識番号記憶手段に記憶されている認識番号に一致しない場合、救済命令入力手段に入力される救済命令によって指定された他のメモリ装置のメインメモリ手段の欠陥に対応するメモリ空間を、自己の冗長メモリ手段のメモリ空間に置き換えるように割当ててることを特徴とするメモリ装置である。

また本発明は、メインメモリ手段および冗長メモリ手段に欠陥が存在するか否かを診断する自己診断手段と、

メインメモリ手段における欠陥の位置を記憶する欠陥位置記憶手段と、

冗長メモリ手段のメインメモリ手段への救済状態を表す救済情報を記憶する救済情報記憶手段と、

自己の冗長メモリ手段による自己のメインメモリ手段の救済が不可能な場合、電氣的に接続される他のメモリ装置に対して、自己のメインメモリ手段の救済を要求する冗長救済要求手段とをさらに含むことを特徴とする。

また本発明は、他のメモリ装置の冗長救済要求手段からの救済の要求を受信する冗長救済受信手段をさらに含み、

割当手段は、他のメモリ装置の冗長救済要求手段から救済の要求があると、前記他のメモリ装置のメインメモリ手段の欠陥が生じたメモリ空間を自己の冗長メモリ手段のメモリ空間に置き換えるように割当ててることを特徴とする。

また本発明は、冗長救済受信手段は、他の全てのメモリ装置の冗長救済要求手段からの救済の要求を受信可能であることを特徴とする。

また本発明は、メモリ装置は、他のメモリ装置と厚み方向に積層されて配置され、各メモリ装置の冗長救済要求手段と冗長救済受信手段とは、各メモリ装置を厚み方向に貫通して設けられる電極に電氣的に共通に接続されることを特徴とする。

図面の簡単な説明

[0004] 本発明の目的、特色、および利点は、下記の詳細な説明と図面とからより明確になるであろう。

図1は、本発明の第1の実施形態のメモリチップ20を模式的に示す回路図である。

図2は、第1ヒューズ回路34の第1の例を示す回路図である。

図3は、第1ヒューズ回路34の第2の例を示す回路図である。

図4は、第1ヒューズ回路34の第3の例を示す回路図である。

図5Aおよび図5Bは、冗長実行端子25に与えられる冗長救済信号を模式的に示す図である。

図6は、冗長行セクタ回路30を模式的に示す回路図である。

図7は、冗長救済命令デコード回路85を模式的に示す回路図である。

図8は、メモリチップ20を4個用いたメモリシステム120を模式的に示す回路図である。

図9は、本発明の第2の実施形態のメモリチップ200を模式的に示す回路図である。

。

図10Aおよび図10Bは、冗長実行端子25に与えられる冗長救済信号を模式的に示す図である。

図11は、BISTロジック40によるメインメモリセル27の診断手順を示すフローチャートである。

図12は、冗長制御ロジック42の動作の手順を示すフローチャートである。

図13は、メモリチップ200を4個用いたメモリシステム120Aを模式的に示す回路図である。

図14は、本発明の第3の実施形態のメモリチップ200Aを模式的に示す回路図である。

図15は、積層形メモリシステム120Aを示す斜視図である。

図16Aは、複数のメモリチップ20を平面的に接続したメモリシステムに対して外部から信号を与えた場合の各メモリチップ20の入力端子の電圧の時間変化をシミュレーションした結果を示すグラフであり、図16Bは、積層形メモリシステム120Aに対して外部から信号を与えた場合の各メモリチップ20の入力端子の電圧の時間変化をシ

ミュレーションした結果を示すグラフである。

図17は、従来のメモリチップ1の構成を示すブロック図である。

### 発明を実施するための最良の形態

[0005] 以下図面を参考にして本発明の好適な実施例を詳細に説明する。

図1は、本発明の第1の実施形態のメモリチップ20を模式的に示す回路図である。本実施の形態では、メモリ装置であるメモリチップ20は、記憶容量が64ビットであり、4個のメモリチップ20で256ビットの記憶容量を実現する。ここでは1ビットが1ワードであるとする。

メモリチップ20は、1個で1ビットのアドレス端子21を8個有し、さらに1ビットのデータ端子22と、読出し書込み指定端子23と、出力許可端子24と、冗長実行端子25と、図示しないチップセレクト端子とを有する。アドレス端子21のうち第7番目および第8番目の端子は、救済命令入力手段である。チップセレクト端子は、チップ全体の動作許可および禁止を指定する。またメモリチップ20は、4つのメモリチップ20を個別に識別するための認識番号記憶手段である識別番号指定端子26を有する。

メモリチップ20は、メインメモリセル27、冗長行メモリセル28、冗長列メモリセル29、冗長行セクタ回路30、冗長列セクタ回路31、第1デマルチプレクサ32、第2デマルチプレクサ33、第1ヒューズ回路34および第2ヒューズ回路35を有する。メインメモリ手段であるメインメモリセル27は、互いに直交する複数のデータ線およびワード線が交差する箇所でデータを保持する。第1および第2デマルチプレクサ32、33は、3ビットで構成されるアドレスで、8本の線から1つを指定するための回路である。たとえば、メインメモリセル27の行方向に延びるデータ線にアドレスの1ビット目から3ビット目を与え、メインメモリセル27の前記行方向に垂直な列方向に延びるワード線にアドレスの4ビット目から6ビット目を与える。このようにして64ビットメモリとなるメインメモリセル27が構成される。

メインメモリセル27のデータ線およびワード線が断線すると、メインメモリセル27の該当する箇所が欠陥となってしまう。割当手段である冗長行セクタ回路30および冗長列セクタ回路31は、メインメモリセル27における欠陥となったデータ線およびワード線を選ぶために、冗長行メモリセル28のデータ線および冗長列メモリセル29の

ワード線を選択する。本実施の形態では、冗長行メモリセル28はデータ線を1行有し、冗長列メモリセル29はワード線を1列有する。冗長行メモリセル28および冗長列メモリセル29は、メインメモリセル27の複数のデータ線およびワード線の断線に対応するために、それぞれ複数のデータ線およびワード線を有する構成であってもよい。

第1および第2ヒューズ回路34, 35は、欠陥となったメインメモリセル27のデータ線およびワード線を切り離す。第1および第2ヒューズ回路34, 35は、冗長行セクタ回路30および冗長列セクタ回路31から与えられる冗長実行信号および切断線選択信号に基づいて、メインメモリセル27のデータ線およびワード線を切り離す。また第1および第2ヒューズ回路34, 35は、メインメモリセル27から読み出しの動作が行われたことを表す信号を出力する端子を有し(図示せず)、この出力は第1および第2ヒューズ回路34, 35の全出力の論理和となっている。

メモリチップ20は、一致判定部36を有する。一致判定部36は、メインメモリセル27を、256ビットのメモリ空間のうち予め定める64ビットのメモリ空間に対応付けする。たとえばアドレスの7番目および8番目のビットとメモリチップ20の識別番号が一致する場合にだけ、そのメモリチップ20に64ビットのメモリ空間を対応付けする。

図2は、第1ヒューズ回路34の第1の例を示す回路図である。第1ヒューズ回路34と第2ヒューズ回路35とは同様の構成であるので、第2ヒューズ回路35の説明は省略する。第1ヒューズ回路34は、第1端子50、第2端子51、ヒューズ52、トランジスタ53、第3端子54および第4端子55を有する。第1端子50は、第1デマルチプレクサ32に電氣的に接続される端子である。第2端子51は、冗長行セクタ回路30に電氣的に接続される端子であり、冗長行セクタ回路30を介して冗長実行端子25から冗長実行信号が与えられる。ヒューズ52は、ポリシリコンおよびアルミニウムなどの薄膜で構成され、予め定める値以上の電流で溶断する。トランジスタ53は、ヒューズ52を切断するためのスイッチング素子である。第3端子54は、メインメモリセル27のデータ線に電氣的に接続される。第4端子55は、予め定めるLレベルの電圧が常に印加されている。

第1端子50は、第1デマルチプレクサ32に電氣的に接続される端子であり、ヒューズ52と電氣的に接続される。第3端子54は、ヒューズ52に電氣的に接続される。第2

端子51は、トランジスタ53のゲートG1に電氣的に接続される。ヒューズ52および第3端子54は、トランジスタ53のドレインに電氣的に接続される。第4端子55はLレベルを与える端子であり、トランジスタ53のソースおよびトランジスタ53のサブストレートG2とに電氣的に接続される。

第1端子50にLレベルよりも高い予め定めるHレベルの電圧を印加することで、データ線が選択される状態となる。メインメモリセル27のデータ線を切り離すには、まず、第1端子50にLレベルよりも高い予め定めるHレベルの電圧を印加し、冗長実行信号として、第2端子51にLレベルよりも高い予め定めるHレベルの電圧を印加する。これによってトランジスタ53のソースとドレインが導通状態となり、ヒューズ52のトランジスタ53側がLレベルとなって、ヒューズ52の両端に電位差が生じてヒューズ52に電流が流れて、ヒューズ52が断線する。

図3は、第1ヒューズ回路34の第2の例を示す回路図である。第1ヒューズ回路34と第2ヒューズ回路35とは同様の構成であるので、第2ヒューズ回路35の説明は省略する。第1ヒューズ回路34は、第1端子56、第2端子57、第1トランジスタ58、第2トランジスタ59、アンチヒューズ60、第3端子61、第4端子62および第5端子63を有する。第1端子56は、第1デマルチプレクサ32に電氣的に接続される端子である。第2端子57は、冗長行セクタ回路30に電氣的に接続される端子であり、冗長行セクタ回路30を介して冗長実行端子25から冗長実行信号が与えられる。

第1トランジスタ58は、アンチヒューズ60を短絡させるためのスイッチング素子である。第2トランジスタ59は、第1端子56と第3端子61との電氣的接続を切換えるスイッチング素子である。アンチヒューズ60は、ポリシリコンで構成され、初期状態では高いインピーダンス状態になっており、予め定める電流を流すことによってポリシリコンが溶融してアモルファス化することで短絡状態となる。第3端子61は、メインメモリセル27のデータ線に電氣的に接続される。第4端子62は、予め定めるLレベルの電圧が常に印加されている。第5端子63には、アンチヒューズ60を短絡させるための電圧が常に印加されている。

第1端子56は、第2トランジスタ59のソースに電氣的に接続される。第2端子57は、第1トランジスタ58のゲートGa1に電氣的に接続される。アンチヒューズ60の一方側

は、第1トランジスタ58のドレインと、第2トランジスタ59のゲートGb1とに電氣的に接続される。アンチヒューズ60の他方側は、Lレベルを与える第4端子62に電氣的に接続される。第3端子61は、第2トランジスタ59のドレインに電氣的に接続される。第2トランジスタ59のサブストレータGb2はLレベルを与える第4端子62に電氣的に接続される。Hレベルを与える第5端子63は、第1トランジスタ58のソースと、第1トランジスタ58のサブストレータGa2とに電氣的に接続される。なお、第2のトランジスタ59のソース、ドレインは構造上等価であり区別できないものであるので、説明の便宜上、第1端子56に接続される側をソース、第3端子61に接続される側をドレインと称している。

冗長実行信号が第2端子57に与えられていない場合、第1トランジスタ58は、わずかな漏れ電流が流れる状態となっており、アンチヒューズ60が非導通であるため、第2トランジスタ59のゲートGb1にはHレベルとなり、第2トランジスタ59のソースとドレインとが導通状態となり、第1端子56と第3端子61とが導通してデータ線が選択される状態となる。

メインメモリセル27のデータ線を切り離すには、まず、冗長実行信号としてHレベルを第2端子57に与える。これによって第1トランジスタ58のソースとドレインが導通状態となり、Lレベルが与えられる第4端子62とHレベルを与える第5端子63とがアンチヒューズ60を介して導通して、第5端子63から、アンチヒューズ60を短絡させる電流が与えられる。このようにアンチヒューズ60が短絡すると、第2トランジスタ59のゲートGb1にはLレベルが与えられる第4端子62からのLレベルの電圧が印加されるので、第2トランジスタ59のソースとドレインとが非導通状態となる。

図4は、第1ヒューズ回路34の第3の例を示す回路図である。第1ヒューズ回路34と第2ヒューズ回路35とは同様の構成であるので、第2ヒューズ回路35の説明は省略する。第1ヒューズ回路34は、第1端子64、第2端子65、第3端子66、第1トランジスタ67、第2トランジスタ68、第3トランジスタ69、第4端子70、第5端子71および第6端子72を有する。第1端子64は、第1デマルチプレクサ32に電氣的に接続される端子である。第2端子65は、冗長行セクタ回路30に電氣的に接続される端子であり、冗長行セクタ回路30を介して冗長実行端子25から予め定めるLレベルの冗長実



行信号が与えられる。第3端子66は、冗長行セクタ回路30に電氣的に接続される端子であり、冗長行セクタ回路30を介して冗長実行端子25から予め定めるHレベルの冗長実行信号が与えられる。

第1トランジスタ67は、第1端子64と第4端子70との電氣的接続を切換えるスイッチング素子である。第2トランジスタ68は、フローティングゲート付きMOSTランジスタで実現される。第3トランジスタ69は、第2トランジスタ68にホットエレクトロンを注入するためのスイッチング素子である。第4端子70は、メインメモリセル27のデータ線に電氣的に接続される。第5端子71は、第2トランジスタ68に注入するためのホットエレクトロンの供給源に電氣的に接続され、Hレベルの電圧が常に印加されている。第6端子72は、Hレベルの電圧が常に印加されている。

第1端子64は、第1トランジスタ67のソースに電氣的に接続される。第2端子65は、第2トランジスタ68のゲートGb1に電氣的に接続される。第3端子66は、第3トランジスタ69のゲートGc1に電氣的に接続される。第4端子70は、第1トランジスタ67のドレインに電氣的に接続される。Lレベルが与えられる第5端子71は、第3トランジスタ69のソースと、第3トランジスタ69のサブストレートGc2とに電氣的に接続される。フローティングゲートにホットエレクトロンを注入するための高い電圧レベルを与える第6端子72は、第1トランジスタ67のサブストレートGa2と、第2トランジスタ68のソースと、第2トランジスタ68のサブストレートGb2とに電氣的に接続される。第1トランジスタ67のゲートGa1は、第2トランジスタ68のドレインと、第3トランジスタ69のドレインとに電氣的に接続される。なお、第1のトランジスタ67のソース、ドレインは構造上等価であり、区別できないものであるが、説明の便宜上、第1端子64に接続される側をソース、第4端子70に接続される側をドレインと称している。

第2トランジスタ68は、ホットエレクトロンが注入されるまでは、ドレインとソースとの間が高インピーダンス状態である。Hレベルの冗長実行信号が第2端子65に与えられていない場合、第3トランジスタ69は、わずかな漏れ電流が流れる状態となっており、第1のトランジスタのゲートGa1はLレベルになっている。これによって第1トランジスタ67のソースとドレインとが導通状態となる。

メインメモリセル27のデータ線を切り離すには、まず、Hレベルの冗長実行信号を

第3端子66に与えて、第3端子66の印加電圧をHレベルにする。これによって第3トランジスタ69のソースとドレインとが導通状態となり、第5端子71からのホットエレクトロンが、第2トランジスタ68のソース、ドレインチャンネルからフローティングゲートに注入される。このように第2トランジスタ68のフローティングゲートにホットエレクトロンが注入されると、第2トランジスタ68のソースとドレインとの間は短絡状態となる。このように第2トランジスタ68のソースとドレインとの間が短絡すると、第1トランジスタ67のゲートGa1がHレベルとなり、ソースとドレインとが非導通状態となる。

図5Aおよび図5Bは、冗長実行端子25に与えられる冗長救済信号を模式的に示す図である。アドレス線を用いたパラレルデータとした場合の一例である。冗長救済命令RDENがHレベルのとき、図5Aに示すように、冗長救済信号の1番目から3番目のビットは、冗長行(列)レジスタ値を表し、4番目のビットは、行または列を表し、5番目および6番目のビットは、命令番号を表し、7番目および8番目のビットは、識別番号を表す。Hレベルの冗長救済信号の3番目のビットが行を表すとき、メインメモリセル27の行、換言すればデータ線の冗長救済となる。このとき5番目のビットが1で、6番目のビットが0である場合、後述する冗長命令1を表す。またHレベルの冗長救済信号の3番目のビットが列を表すとき、メインメモリセル27の列、換言すればワード線の冗長救済となる。このとき5番目のビットが0で、6番目のビットが1である場合、後述する冗長命令2を表す。

冗長救済命令RDENがLレベルのときは、通常のメモリとして動作する状態であり、図5Bに示すように、1番目から6番目のビットは、アドレスを表し、7番目および8番目のビットは、識別番号を表す。

図5Aおよび図5Bでは、冗長救済信号をアドレス線を使ったパラレルデータとして扱うとしているけれども、より少ない入力線を割当て、シリアルデータとして扱ってもよい。

たとえば、メモリチップなどのI/O回路間の接続状態などの動作テストするための機能であるJTAG (Joint Test Action Group)機能を用いて冗長救済命令を与える場合について記述する。JTAGの命令などの与え方は、TCK端子をクロックとするタイミングで、全てのJTAG機能を有する装置に共通して繋がっているTMS端子を用

いて、JTAG命令を与え、TDI入力端子からシリアルデータとして詳細データを与える。データを与えるTDI端子は、内部でシフトレジスタを構成しており、TDO出力から内部レジスタ長を越えるデータは再送送される。通常、TDO出力は、次のJTAG機能を有する装置のTDI端子に接続(デジチェーン接続)され、全てのJTAG機能を有する装置にはそれぞれ別個のデータを与えることが可能となっている。JTAG命令には、ユーザに開放された未定義命令が存在するので、未定義命令の一部に、冗長救済命令をデータとして与えるように定義し、JTAGのデータレジスタより、救済命令入力手段に与えられるようにすればよい。

また、同様にして、未定義命令の一部を識別番号をデータとして与えるように定義すると、メモリ装置の識別番号をデータとして与えることも可能である。

図6は、冗長行セクタ回路30を模式的に示す回路図である。冗長列セクタ回路31は、冗長行セクタ回路30と同様の構成であるので、詳細な説明は省略する。冗長行セクタ回路30は、第1入力端子80、第2入力端子81、第3入力端子82、第4入力端子83、第5入力端子84、冗長救済命令デコード回路85、記憶回路86、第6入力端子87、2ビット一致判定部88、デマルチプレクサ89、第1出力端子90、3ビット一致判定部91、論理積回路92および第2出力端子93を有する。第1〜第5入力端子80〜84は、冗長救済命令デコード回路85に電氣的に接続される。第2入力端子81は、3ビット一致判定部91にも電氣的に接続される。第4入力端子83は、2ビット一致判定部88にも電氣的に接続される。第1出力端子90は、第1ヒューズ回路34に電氣的に接続される。第2出力端子93は、冗長行メモリセル28に電氣的に接続される。

冗長救済命令デコード回路85において、FUSE-SET端子は、デマルチプレクサ89に電氣的に接続される。LATCH端子は、記憶回路86のL-EN端子に電氣的に接続される。Y0〜Y2端子は、記憶回路86のL0〜L2端子およびデマルチプレクサ89に電氣的に接続される。Y6、Y7端子は、記憶回路86のL6、L7端子に電氣的に接続される。第6入力端子87は、予め定めるHレベルの電圧に常に印加されていて、記憶回路86のL3端子に電氣的に接続される。記憶回路86のQ0〜Q2端子は、3ビット一致判定部91に電氣的に接続される。Q3端子は、論理積回路92に電氣的に

接続される。Q6, Q7端子は、2ビット一致判定部88に電氣的に接続される。2ビット一致判定部88は、論理積回路92に電氣的に接続される。デマルチプレクサ89は、第1出力端子90に電氣的に接続される。3ビット一致判定部91は、論理積回路92に電氣的に接続される。論理積回路92は、第2出力端子93に電氣的に接続される。

図7は、冗長救済命令デコード回路85を模式的に示す回路図である。冗長救済命令デコード回路85は、第1入力端子100、第2入力端子101、第3入力端子102、第4入力端子103、第5入力端子104、第6入力端子105、第7入力端子106、インバータゲート107、第1論理積回路109、第2論理積回路110、論理和回路111、2ビット一致判定部112、第3論理積回路113、第4論理積回路114、第1出力端子115、第2出力端子116、第3出力端子117および第4出力端子118を有する。

冗長救済命令デコード回路85において、第1入力端子100は、冗長行セクタ30の第1入力端子80に電氣的に接続される。第2入力端子101は、冗長行セクタ30の第2入力端子81に電氣的に接続される。第3～第5入力端子102～104は、冗長行セクタ30の第3入力端子82に電氣的に接続される。第6入力端子105は、冗長行セクタ30の第4入力端子83に電氣的に接続される。第7入力端子106は、冗長行セクタ30の第5入力端子84に電氣的に接続される。冗長救済命令デコード回路85において、第1入力端子100および第6入力端子105は、2ビット一致判定部112に電氣的に接続される。第2入力端子101は、第1出力端子(Y0～Y2端子)115に電氣的に接続される。第3入力端子102は、インバータゲート107のネガティブロジック107aに電氣的に接続される。前記ネガティブロジック107aは、1を真、0を疑として扱うものである。インバータゲート107は、第3論理積回路113と第4論理積回路114とに電氣的に接続される。

第4入力端子103は、第1論理積回路109のポジティブロジック109aと、第2論理積回路110のネガティブロジック110bとに電氣的に接続される。第5入力端子104は、第2論理積回路110のポジティブロジック110aと、第1論理積回路109のネガティブロジック109bとに電氣的に接続される。第1および第2論理積回路109, 110のポジティブロジック109a, 110aは、0を真、1を疑として扱い、第1および第2論理積回路109, 110のネガティブロジック109b, 110bは、1を真、0を疑として扱うもので

ある。第1論理積回路109は、論理和回路111および第4論理積回路114に電氣的に接続される。第2論理積回路110は、論理和回路111に電氣的に接続される。論理和回路111は、第3論理積回路113に電氣的に接続される。

第6入力端子105は、2ビット一致判定部112と第2出力端子(Y6, Y7端子)116とに電氣的に接続される。第7入力端子106は、第3論理積回路113と第4論理積回路114とに電氣的に接続される。2ビット一致判定部112は、第3論理積回路113に電氣的に接続される。第3論理積回路113は、第4出力端子(FUSE-SET端子)118に電氣的に接続される。第4論理積回路114は、第3出力端子(LATCH端子)117に電氣的に接続される。

第1出力端子115は、冗長行セクタ30の記憶回路86のL0〜L2端子およびデマルチプレクサ89に電氣的に接続される。第2出力端子116は、冗長行セクタ30の記憶回路86のL6, L7端子に電氣的に接続される。第3出力端子117は、冗長行セクタ30の記憶回路86のL-EN端子に電氣的に接続される。第4出力端子118は、冗長行セクタ30のデマルチプレクサ89に電氣的に接続される。

切断のトリガとなるFUSE-SET命令は、第1入力端子100からの識別番号と、冗長救済命令の7番目および8番目のビットで表される第6入力端子105からの識別番号(図5A参照)とが一致すると2ビット一致判定部112によって判定された場合、冗長救済命令の5番目および6番目のビットで表される第4入力端子103および第5入力端子104から命令番号(図5A参照)で指定される冗長命令と、冗長救済命令の4番目のビットで表される第3入力端子102からの行または列(図5A参照)とに基づいて設定されて、第7入力端子107からの冗長実行命令RDENがHレベルのときに、第4出力端子118から冗長行セクタ30のデマルチプレクサ89に出力される。

冗長アドレスの記憶信号となるLATCHは、冗長救済命令の5番目および6番目のビットで表される第4入力端子103および第5入力端子104から命令番号(図5A参照)で指定される冗長命令が、第1論理積回路109でHレベルとなり、冗長救済命令の4番目のビットで表される第3入力端子102からの行または列(図5A参照)が一致し、第7入力端子107からの冗長実行命令RDENがHレベルのときに、第3出力端子117から冗長行セクタ30の記憶回路86のL-EN端子に出力される。救済アドレ

スパターンは、図5Aに示す冗長救済命令では、1番目から3番目のビットと、7番目および8番目のビットとをそのままアドレスパターンとして、冗長行セクタ30の記憶回路86に記憶される。

また冗長列セクタ31の冗長救済命令デコード回路は、冗長行セクタ30の冗長救済命令デコード回路85において、インバータゲート107と第3および第4論理積回路113, 114との間に、図7の参照符号108の破線に示すように前記インバータゲート107と同様のインバータゲートをさらに1つ追加することによって実現される。

再び図6を参照して、欠陥位置記憶手段および救済情報記憶手段である記憶回路86のQ0〜Q2端子は、3ビット一致判定部91に電氣的に接続される。記憶回路86のQ3端子は、論理積回路92に電氣的に接続される。記憶回路86のQ6, Q7端子は、2ビット一致判定部88に電氣的に接続される。記憶回路86は、6ビットの記憶容量であり、L-EN端子がHレベルとなったときのL0〜L2端子、L3端子、およびL6, L7端子の状態を記憶して、Q0〜Q2端子、Q3端子およびQ6, Q7端子から出力する。初期状態として、Q3端子はLレベルであり、L3端子は第6入力端子87によってHレベルとなる。これによってL-EN端子がHレベルになるまではQ3端子はLレベルを保ち、冗長行メモリセル28が選択されない。またQ3端子の状態、冗長行メモリセルが利用されているか否かを判断できる。

再び図1を参照して、メモリチップ20のアドレス端子21のうち1番目〜3番目のビットが入力される端子は、冗長行セクタ回路30と、冗長列セクタ回路31と、第1デマルチプレクサ32とに電氣的に接続される。メモリチップ20のアドレス端子21のうち冗長救済受信手段である4番目〜6番目のビットが入力される端子は、冗長行セクタ回路30と、冗長列セクタ回路31と、第2デマルチプレクサ33とに電氣的に接続される。メモリチップ20のアドレス端子21のうち識別番号指定端子となる7番目〜8番目のビットが入力される端子は、冗長行セクタ回路30と、冗長列セクタ回路31と、一致判定部36とに電氣的に接続される。データ端子22は、後述する双方向データ制御部39に電氣的に接続される。読出し書込み指定端子23は、後述するリードライト制御部37と、双方向データ制御部39とに電氣的に接続される。出力許可端子24は、双方向データ制御部39に電氣的に接続される。冗長実行端子25は、冗長行セ

レクタ回路30と、冗長列セクタ回路31とに電氣的に接続される。識別番号指定端子26は、冗長行セクタ回路30と、冗長列セクタ回路31と、一致判定部36とに電氣的に接続される。

冗長行セクタ回路30は、冗長行メモリセル28と、第1ヒューズ回路34と、後述するAND-ORゲート38の一方の論理和回路とに電氣的に接続される。冗長列セクタ回路31は、冗長列メモリセル29と、第2ヒューズ回路35と、AND-ORゲート38の他方の論理和回路とに電氣的に接続される。第1デマルチプレクサ32は、第1ヒューズ回路34に電氣的に接続される。第2デマルチプレクサ33は、第2ヒューズ回路35に電氣的に接続される。第1ヒューズ回路34は、メインメモリセル27と、AND-ORゲート38の一方の論理和回路とに電氣的に接続される。第2ヒューズ回路35は、メインメモリセル27と、AND-ORゲート38の他方の論理和回路とに電氣的に接続される。

一致判定部36は、第1デマルチプレクサ32と第2デマルチプレクサ33とに電氣的に接続される。リードライト制御部37は、冗長行メモリセル28と、冗長列メモリセル29と、双方向データ制御部39とに電氣的に接続される。AND-OR回路38の2つの論理和回路に電氣的に接続されている論理積回路は、リードライト制御部37と、双方向データ制御部39とに電氣的に接続される。

図1、図5、図6および図7を参照して、メモリチップ20の冗長実行端子25に入力される冗長救済命令RDEN(図5A参照)がHレベルになると、冗長救済信号の5番目のビット=1、6番目のビット=0で指定される救済命令1に対しては、冗長救済信号の6番目および7番目のビットで指定される識別番号が、識別番号指定端子26の識別番号に一致する場合、冗長行セクタ回路30(図6参照)または冗長列セクタ31の3ビット一致判定部91に与える一方の値として、冗長救済信号の1番目から3番目のビットを記憶回路86に記憶する。このとき識別番号が一致していると、自己のメインメモリセル27の救済を表す。したがって、冗長行セクタ回路30または冗長列セクタ回路31の第1出力端子115から欠陥のワード線またはデータ線を切断する切断実行信号を第1ヒューズ回路34または第2ヒューズ回路35に与える。また冗長救済信号の6番目および7番目のビットで指定される識別番号が、識別番号指定端子26の識別番号に一致しない場合、冗長行セクタ30または冗長列セクタ31の3ビット一

致判定部91に与える一方の値として、冗長救済信号の1番目から3番目のビットを記憶回路86に記憶する。しかしながら、他のメモリチップ20の救済であるので、切断実行信号は第1ヒューズ回路34または第2ヒューズ回路35に与えられない。

またメモリチップ20の冗長実行端子25に入力される冗長救済命令RDENがHレベルになると、冗長救済信号の5番目のビット=0、6番目のビット=1で指定される救済命令2に対しては、冗長救済信号の6番目および7番目のビットで指定される識別番号が、識別番号指定端子26の識別番号に一致する場合、他のメモリチップ20による自己のメインメモリセル27の救済を表す。したがって、冗長行セクタ30または冗長列セクタ31の第1出力端子115から欠陥のワード線を切断する切断実行信号を第1ヒューズ回路34または第2ヒューズ回路35に与える。このとき冗長行セクタ回路30の記憶回路86には記憶されない。

自己のメインメモリセル27が自己の冗長行メモリセル28および冗長列メモリセル29によって救済された場合、メインメモリセル27における欠陥のワード線およびデータ線が選択されないようにするとともに、欠陥のワード線およびデータ線に対応するメモリ空間のアドレスを、冗長行セクタ回路30および冗長列セクタ回路31の各記憶回路86に記憶して、前記メモリ空間を冗長行メモリセル28および冗長列メモリセル29に置換えて割当ててようにする。メインメモリセルの欠陥となる箇所へのアクセスは、メモリセル20のリードライト制御部37によって、選択されている冗長行メモリセル28および冗長列メモリセル29に対して行われる。

自己の冗長行メモリセル28および冗長列メモリセル29によって他のメモリチップ20の欠陥を救済した場合、自己のメインメモリセル27に対してはワード線およびデータ線の切断は行わない。このとき欠陥のあるメインメモリセル27を有するメモリチップ20の欠陥のメモリ空間のアドレスと、当該メモリチップ20の識別番号とが冗長行セクタ回路30および冗長列セクタ回路31の記憶回路86に記憶される。冗長行セクタ回路30および冗長列セクタ回路31には、冗長救済信号に含まれる識別番号も与えられている。識別番号に対応するメモリ空間におけるアドレスと、メインメモリセル27のメモリ空間における欠陥のアドレスとが設定された場合、冗長行セクタ回路30および冗長列セクタ回路31は冗長行メモリセル28および冗長列メモリセル29を選択



する。このとき冗長行セクタ回路30および冗長列セクタ回路31が冗長行メモリセル28および冗長列メモリセル29を選択していることを表す信号が、メモリチップ20のAND—ORゲート38を介してリードライト制御部37および双方向データ制御部39に与えられる。これによってメモリチップ20は、通常の動作として、冗長行メモリセル28および冗長列メモリセル29にアクセスする。ここでは他のメモリチップ20の欠陥を救済しているので、認識番号が異なっており、メインメモリセル27は動作せず、データアクセスにおいて不具合が生じることはない。

自己のメインメモリセル27の欠陥が他のメモリチップ20によって救済された場合、メインメモリセル27の欠陥のあるワード線およびデータ線が選択されないようにするけれども、冗長行セクタ回路30の記憶回路86への記憶は行わない。これによって欠陥のあるメモリ空間のアドレスが選択された場合、第1ヒューズ回路34および第2ヒューズ回路35によって選択されないようになっているので、AND—ORゲート38はアクティブにならず、リードライト制御部37および双方向データ制御部39は動作しない。したがって救済したメモリチップ20の動作を妨げることがない。

図8は、メモリチップ20を4個用いたメモリシステム120を模式的に示す回路図である。メモリシステム120は、前述のメモリチップ20と同様の構成の第1メモリチップ20a、第2メモリチップ20b、第3メモリチップ20cおよび第4メモリチップ20dを有する。またメモリシステム120は、チップセレクト端子121、読出し書込み指定端子122、出力許可端子123、アドレス端子124、データ端子125、第1救済要求端子126、第2救済要求端子127、第3救済要求端子128および第4救済要求端子129を有する。

メモリシステム120のチップセレクト端子121は、第1〜第4メモリチップ20a〜20dのチップセレクト端子に電氣的に接続される。メモリシステム120の読出し書込み指定端子122は、第1〜第4メモリチップ20a〜20dの読出し書込み指定端子23(図1参照)に電氣的に接続される。メモリシステム120の出力許可端子123は、第1〜第4メモリチップ20a〜20dの出力許可端子24(図1参照)に電氣的に接続される。メモリシステム120のアドレス端子124は、第1〜第4メモリチップ20a〜20dの読出し書込みアドレス端子21(図1参照)に電氣的に接続される。メモリシステム120のデータ端子125は、第1〜第4メモリチップ20a〜20dのデータ端子22(図1参照)に電氣的に

接続される。

第1救済要求端子126は、第1メモリチップ20aの冗長実行端子25に電氣的に接続される。第2救済要求端子127は、第2メモリチップ20bの冗長実行端子25に電氣的に接続される。第3救済要求端子128は、第3メモリチップ20cの冗長実行端子25に電氣的に接続される。第4救済要求端子129は、第4メモリチップ20dの冗長実行端子25に電氣的に接続される。第1〜第4メモリチップ20a〜20dの識別番号は、予め固定的に定められ、たとえば第1メモリチップ20aの識別番号は(0, 0)、第2メモリチップ20bの識別番号は(0, 1)、第3メモリチップ20cの識別番号は(1, 0)、第4メモリチップ20dの識別番号は(1, 1)であってもよく、各メモリチップ20a〜20dの識別番号指定端子26に記憶させてもよい。

メモリチップ20のI/O回路および他のチップとの接続状態などの動作テストするための機能であるJTAG (Joint Test Action Group)機能を用いる場合、メモリチップ20の識別番号の指定および冗長救済命令をJTAG機能の一部として組み込むこともできる。

図9は、本発明の第2の実施形態のメモリチップ200を模式的に示す回路図である。本実施の形態では、メモリ装置であるメモリチップ200は、記憶容量が64ビットであり、4個のメモリチップ20で256ビットの記憶容量を実現する。ここでは1ビットが1ワードであるとする。

メモリチップ200は、1個で1ビットのアドレス端子21を8個有し、さらに1ビットのデータ端子22と、読出し書込み指定端子23と、出力許可端子24と、冗長実行端子25と、図示しないチップセレクト端子とを有する。チップセレクト端子は、チップ全体の動作許可および禁止を指定する。またメモリチップ200は、4つのメモリチップ200を個別に識別するための認識番号記憶手段である識別番号指定端子26を有する。

メモリチップ200は、メインメモリセル27、冗長行メモリセル28、冗長列メモリセル29、冗長行セクタ回路30、冗長列セクタ回路31、第1デマルチプレクサ32、第2デマルチプレクサ33、第1ヒューズ回路34および第2ヒューズ回路35を有する。メインメモリセル27は、互いに直交する複数のデータ線およびワード線が交差する箇所でデータを保持する。第1および第2デマルチプレクサ32、33は、3ビットで構成されるア

ドレスで、8本の線から1つを指定するための回路である。たとえば、メインメモリセル27の行方向に延びるデータ線にアドレスの1ビット目から3ビット目を与え、メインメモリセル27の前記行方向に垂直な列方向に延びるワード線にアドレスの4ビット目から6ビット目を与える。このようにして64ビットメモリとなるメインメモリセル27が構成される。

メインメモリセル27のデータ線およびワード線が断線すると、メインメモリセル27の該当する箇所が欠陥となってしまう。冗長行セクタ回路30および冗長列セクタ回路31は、メインメモリセル27における欠陥となったデータ線およびワード線を選ぶために、冗長行メモリセル28のデータ線および冗長列メモリセル29のワード線を選択する。本実施の形態では、冗長行メモリセル28はデータ線を1行有し、冗長列メモリセル29はワード線を1列有する。冗長行メモリセル28および冗長列メモリセル29は、メインメモリセル27の複数のデータ線およびワード線の断線に対応するために、それぞれ複数のデータ線およびワード線を有する構成であってもよい。

第1および第2ヒューズ回路34, 35は、欠陥となったメインメモリセル27のデータ線およびワード線を切り離す。第1および第2ヒューズ回路34, 35は、冗長行セクタ回路30および冗長列セクタ回路31から与えられる冗長実行信号および切断線選択信号に基づいて、メインメモリセル27のデータ線およびワード線を切り離す。また第1および第2ヒューズ回路34, 35は、メインメモリセル27から読み出しの動作が行われたことを表す信号を出力する端子を有し(図示せず)、この出力は第1および第2ヒューズ回路34, 35の全出力の論理和となっている。第1および第2ヒューズ回路34, 35の詳細な説明は、前述の第1の実施形態における図2ー図4と同様であるので省略する。冗長行セクタ回路30および冗長列セクタ回路31の詳細な説明は、前述の第1の実施形態における図6と同様であるので省略する。

メモリチップ200は、一致判定部36を有する。一致判定部36は、メインメモリセル27を、256ビットのメモリ空間のうち予め定める64ビットのメモリ空間に対応付けする。たとえばアドレスの7番目および8番目のビットとメモリチップ200の識別番号が一致する場合にだけ、そのメモリチップ200に64ビットのメモリ空間を対応付けする。

メモリチップ200は、BISTロジック40、BISTインターフェース41および冗長制御ロ

ジック42を有する。メモリチップ200は、自己診断手段であるBISTロジック40によって、自己のメインメモリセル27に欠陥があるか否かを診断することができる。冗長制御ロジック42は、BISTロジック40の診断結果に基づいて、自己のメインメモリセルの欠陥を冗長行メモリセル28および冗長列メモリセル29によって救済するとともに、他のメモリチップ200からの冗長救済信号を受信する。また冗長制御ロジック42は、自己の冗長行メモリセル29および冗長列メモリセル30を使い切った場合、冗長救済要求手段である救済要求端子43を介して他のメモリチップ200に対して冗長救済信号を出力する。

アドレス端子21のうち1番目〜3番目のビットが入力される端子は、第1デマルチプレクサ32と、冗長制御ロジック42とに電氣的に接続される。アドレス端子21のうち4番目〜6番目のビットが入力される端子は、第2デマルチプレクサ33と、冗長制御ロジック42とに電氣的に接続される。アドレス端子21のうち7番目〜8番目のビットが入力される端子は、一致判定部36と、冗長制御ロジック42とに電氣的に接続される。データ端子22は、双方向データ制御部39に電氣的に接続される。読出し書込み指定端子23は、リードライト制御部37と、双方向データ制御部39とに電氣的に接続される。出力許可端子24は、双方向データ制御部39に電氣的に接続される。冗長実行端子25は、冗長制御ロジック42に電氣的に接続される。識別番号指定端子26は、一致判定部36と、冗長制御ロジック42に電氣的に接続される。

冗長行セクタ回路30は、第1ヒューズ回路34と、AND-ORゲート38の一方の論理和回路と、BISTインターフェース41を介して冗長行メモリセル28とに電氣的に接続される。冗長列セクタ回路31は、第2ヒューズ回路35と、AND-ORゲート38の他方の論理和回路と、BISTインターフェース41を介して冗長列メモリセル29とに電氣的に接続される。第1デマルチプレクサ32は、第1ヒューズ回路34に電氣的に接続される。第2デマルチプレクサ33は、第2ヒューズ回路35に電氣的に接続される。第1ヒューズ回路34は、メインメモリセル27と、AND-ORゲート38の一方の論理和回路とに電氣的に接続される。第2ヒューズ回路35は、メインメモリセル27と、AND-ORゲート38の他方の論理和回路とに電氣的に接続される。

一致判定部36は、第1デマルチプレクサ32と第2デマルチプレクサ33とに電氣的

に接続される。リードライト制御部37は、BISTインターフェース41を介して、冗長行メモリセル28と、冗長列メモリセル29とに電氣的に接続されるとともに、双方向データ制御部39に電氣的に接続される。AND—OR回路38の2つの論理和回路に電氣的に接続されている論理積回路は、リードライト制御部37と、双方向データ制御部39とに電氣的に接続される。BISTロジック40は、BISTインターフェース41と、冗長制御ロジック42とに電氣的に接続される。BISTインターフェース41は、メインメモリセル27と、冗長行メモリセル28と、冗長列メモリセル29とに電氣的に接続される。冗長制御ロジック42は、冗長行セクタ回路30と、冗長列セクタ回路31と、救済要求端子43とに電氣的に接続される。診断救済端子44は、BISTロジック40と、冗長制御ロジック42とに電氣的に接続される。

図10Aおよび図10Bは、冗長実行端子25に与えられる冗長救済信号を模式的に示す図である。冗長救済命令RDENがHレベルのとき、図10Aに示すように、冗長救済信号の1番目から3番目のビットは、冗長行(列)レジスタ値を表し、4番目のビットは、行または列を表し、5番目および6番目のビットは、発信者番号を表し、7番目および8番目のビットは、識別番号を表す。Hレベルの冗長救済信号の3番目のビットが行を表すとき、メインメモリセル27の行、換言すればデータ線の冗長救済となる。またHレベルの冗長救済信号の3番目のビットが列を表すとき、メインメモリセル27の列、換言すればワード線の冗長救済となる。冗長救済命令RDENがLレベルのとき、図10Bに示すように、冗長救済信号の1番目から6番目のビットは、アドレスを表し、7番目および8番目のビットは、識別番号を表す。図10Aおよび図10Bでは、冗長救済信号をパラレルデータとして扱っているけれども、シリアルデータとして扱ってもよい。5番目および6番目のビットによって表される発信者番号は、冗長救済信号を発信した他のメモリチップ200を表す。

図11は、BISTロジック40によるメインメモリセル27の診断手順を示すフローチャートである。ステップs0で手順が開始されて、ステップs1に進む。

ステップs1では、BISTロジック40は、メインメモリセル27のメモリ空間のアドレス0番地からアドレスの最上位の番地まで順番にLレベルの信号を書込んで、ステップs2に進む。

ステップs2では、BISTロジック40は、メインメモリセル27のメモリ空間のアドレス0番地からアドレスの最上位の番地まで記憶されているLレベルの信号が読出すことができることを確認して、その後、メインメモリセル27のメモリ空間のアドレス0番地からアドレスの最上位の番地まで順番にHレベルの信号を書込んで、ステップs3に進む。

ステップs3では、BISTロジック40は、メインメモリセル27のメモリ空間のアドレス0番地からアドレスの最上位の番地まで記憶されているHレベルの信号が読出すことができることを確認して、その後、メインメモリセル27のメモリ空間のアドレス0番地からアドレスの最上位の番地まで順番にLレベルの信号を書込んで、ステップs4に進む。

ステップs4では、BISTロジック40は、メインメモリセル27のメモリ空間のアドレスの最上位の番地からアドレスの0番地まで記憶されているLレベルの信号が読出すことができることを確認して、その後、メインメモリセル27のメモリ空間のアドレス0番地からアドレスの最上位の番地まで順番にHレベルの信号を書込んで、ステップs5に進む。

ステップs5では、BISTロジック40は、メインメモリセル27のメモリ空間のアドレスの最上位の番地からアドレスの0番地まで記憶されているHレベルの信号が読出すことができることを確認して、その後、メインメモリセル27のメモリ空間のアドレス0番地からアドレスの最上位の番地まで順番にLレベルの信号を書込んで、ステップs6に進む。

ステップs6では、BISTロジック40は、メインメモリセル27のメモリ空間のアドレス0番地からアドレスの最上位の番地まで記憶されているLレベルの信号が読出すことができることを確認して、その後、メインメモリセル27のメモリ空間のアドレス0番地からアドレスの最上位の番地まで順番にHレベルの信号を書込んで、ステップs7に進む。

ステップs7では、BISTロジック40は、メインメモリセル27のメモリ空間のアドレス0番地からアドレスの最上位の番地まで記憶されているHレベルの信号が読出すことができることを確認して、ステップs8に進み、全ての手順を終了する。

BISTロジック回路40は、前述の図11に示すフローチャートの診断手順が実行可能なカウンタおよびシーケンス回路の組合せで構成されてもよい。このときメインメモリ27において、データ線が指定されたときに、全てのワード線に対して並列で読込み

および書込みの処理ができるので、BISTロジック回路40のカウンタは、ワード線に対して並列に処理するようにしてもよい。BISTインターフェース41は、前述の図11に示すフローチャートの診断手順が実行されている間は、BISTロジック40以外からのメインメモリ27へのアクセスをしないようにするとともに、メインメモリ27へはBISTロジック40からの信号だけを入れるように、冗長行セクタ30、冗長列セクタ31および双方向データ制御部39によって制御される。

前述の図11に示すフローチャートの診断手順において、期待された信号が読出されない場合、自己のメインメモリセル27に欠陥があるとして冗長救済を要求する。全てのワード線が並列で動作するため、データ線に欠陥があれば、連続したワード線の値が異常となるので、メインメモリセル27における物理的に隣接する箇所に欠陥が連続しているか否かを判断できる。また、ワード線に欠陥があれば、連続するシーケンスで期待された信号が読出されないので、ワード線の欠陥を判断できる。欠陥の発生パターンに基づいて、冗長行メモリセル28に対して救済を要求するか、冗長列メモリセル29に対して救済を要求するかを選択する。

図12は、冗長制御ロジック42の動作の手順を示すフローチャートである。ステップt0で手順が開始されて、ステップt1に進む。

ステップt1では、冗長制御ロジック42は、冗長行セクタ回路30および冗長列セクタ回路31における冗長救済命令デコード回路85(図6参照)の利用状態、換言すれば記憶回路86のQ3ビットに記憶されている情報を消去して、ステップt2に進む。

ステップt2では、冗長制御ロジック42は、BISTロジック40を制御して、メインメモリセル27に欠陥があるか否かの診断を行わせるとともに、欠陥がある場合に冗長救済要求をさせて、ステップt3に進む。

ステップt3では、冗長制御ロジック42は、ステップt2の結果に基づいて、メインメモリセル27に欠陥があるか否かを判断する。冗長制御ロジック42が、欠陥が無いと判断するとステップt4に進み、メインメモリセル27に欠陥が無い、すなわち正常であるとして、全ての手順を終了する。冗長制御ロジック42が、欠陥があると判断すると、ステップt5に進む。

ステップt3において、メインメモリセル27に欠陥があると判断されてステップt5に進

むと、ステップt5では、冗長制御ロジック42は、冗長行セクタ回路30および冗長列セクタ回路31における記憶回路86に記憶されている情報に基づいて、冗長行メモリセル28および冗長行メモリセル29が利用されているか否かを判断する。冗長制御ロジック42が、冗長行メモリセル28および冗長列メモリセル29が利用されていないと判断するとステップt6に進む。冗長制御ロジック42が、冗長行メモリセル28および冗長列メモリセル29が利用されていると判断するとステップt7に進む。またステップt5では、冗長行メモリセル28および冗長列メモリセル29がそれぞれ複数ある場合、冗長制御ロジック42は、全ての冗長行メモリセル28および冗長列メモリセル29が利用されているか否かを判断する。冗長制御ロジック42が、冗長行メモリセル28および冗長列メモリセル29の全ては利用されていないと判断するとステップt6に進む。冗長制御ロジック42が、冗長行メモリセル28および冗長列メモリセル29の全てが利用されていると判断するとステップt7に進む。

ステップt5において、冗長行メモリセル28および冗長列メモリセル29が利用されていない、または冗長行メモリセル28および冗長列メモリセル29の全ては利用されていないと判断されてステップt6に進むと、ステップt6では、冗長制御ロジック42は、冗長行セクタ回路30および冗長列セクタ回路31に対して、利用されていない冗長行メモリセル28および冗長列メモリセル29に対応するメモリ空間のアドレスを、記憶回路86のQ0〜Q2, Q5, Q6に書込む。これとともに、冗長制御ロジック42は、記憶回路86のQ3をHレベルとして、ステップt2に戻る。またステップt6では、冗長制御ロジック42は、メモリチップ200の識別番号と、冗長救済信号に含まれる識別番号とが一致している場合、すなわち自己の欠陥を救済する場合、冗長行セクタ回路30および冗長列セクタ回路31の冗長救済命令デコード回路85のFUSE-SET端子から信号を出力させる。これによって冗長制御ロジック42は、第1および第2ヒューズ回路34, 35によってメインメモリセル27における欠陥のワード線およびデータ線を切断して無効化する。

ステップt5において、冗長行メモリセル28および冗長列メモリセル29が利用されている、または冗長行メモリセル28および冗長列メモリセル29の全てが利用されていると判断されてステップt7に進むと、ステップt7では、冗長制御ロジック42は、自己のメ



インメモリセル27が欠陥であるか否かを判断する。冗長制御ロジック42が、自己のメインメモリセル27の欠陥であると判断するとステップt8に進む。冗長制御ロジック42が、自己のメインメモリセル27の欠陥で無い、すなわち他のメモリチップ200のメインメモリセル27の欠陥であると判断するとステップt10に進む。

ステップt7において、自己のメインメモリセル27の欠陥であると判断されてステップt8に進むと、ステップt8では、冗長制御ロジック42は、自己のメインメモリセル27を第1および第2ヒューズ回路34, 35によって欠陥のワード線およびデータ線を切断して無効化して、ステップt9に進む。

ステップt9では、冗長制御ロジック42は、他のメモリチップに対して冗長救済信号を出力して、ステップt2に戻る。

ステップt7において、他のメインメモリセル27の欠陥であると判断されてステップt10に進むと、ステップt10では、冗長制御ロジック42は、自己の欠陥に関する要求と外部からの要求とを比較して、一致するか否かを判断する。冗長制御ロジック42が、自己の欠陥に関する要求と外部からの要求とが一致すると判断すると、ステップt11に進む。冗長制御ロジック42が、自己の欠陥に関する要求と外部からの要求とが一致しないと判断すると、ステップt9に進む。

ステップt11では、冗長制御ロジック42は、自己のメインメモリセル27が自己で救済できない、かつ他のメモリチップ200によっても救済できないと判断して、冗長救済不可信号を出力して、ステップt12に進む。これによって、メモリチップ200は異常であるとして全ての手順を終了する。

図13は、メモリチップ200を4個用いたメモリシステム120Aを模式的に示す回路図である。メモリシステム120Aは、前述のメモリチップ200と同様の構成の第1メモリチップ200a、第2メモリチップ200b、第3メモリチップ200cおよび第4メモリチップ200dを有する。またメモリシステム120Aは、チップセレクト端子121、読出し書込み指定端子122、出力許可端子123、アドレス端子124、データ端子125および診断救済端子130を有する。

メモリシステム120Aのチップセレクト端子121は、第1〜第4メモリチップ200a〜200dのチップセレクト端子に電氣的に接続される。メモリシステム120Aの読出し書込

み指定端子122は、第1〜第4メモリチップ200a〜200dの読出し書込み指定端子23(図9参照)に電氣的に接続される。メモリシステム120Aの出力許可端子123は、第1〜第4メモリチップ200a〜200dの出力許可端子24(図9参照)に電氣的に接続される。メモリシステム120Aのアドレス端子124は、第1〜第4メモリチップ200a〜200dの読出し書込みアドレス端子21(図9参照)に電氣的に接続される。メモリシステム120Aのデータ端子125は、第1〜第4メモリチップ200a〜200dのデータ端子22(図9参照)に電氣的に接続される。第1〜第4メモリチップ200a〜200dの識別番号は、予め固定的に定められ、たとえば第1メモリチップ200aの識別番号は(0, 0)、第2メモリチップ200bの識別番号は(0, 1)、第3メモリチップ200cの識別番号は(1, 0)、第4メモリチップ200dの識別番号は(1, 1)であってもよく、各メモリチップ200a〜200dの識別番号指定端子26に記憶させてもよい。メモリシステム120Aの診断救済端子130は、第1〜第4メモリチップ200a〜200dの診断救済端子44(図9参照)に電氣的に接続される。

各メモリチップ200a〜200dからの冗長救済要求の出力と、各メモリチップ200a〜200dへの冗長救済要求の入力は、メモリチップのデイジーチェーンで構成されるメモリシステム120Aにおいて、各メモリチップ200a〜200dを一巡するように接続される。またJTAG機能を用いる場合、メモリチップ200の識別番号の指定および冗長救済命令をJTAG機能の一部として組み込むこともできる。メモリチップ200a〜200dを識別する方法としては、データを用いてもよいし、チップセレクトを用いてもよい。

図14は、本発明の第3の実施形態のメモリチップ200Aを模式的に示す回路図である。本実施の形態では、メモリ装置であるメモリチップ200Aは、記憶容量が64ビットであり、4個のメモリチップ20で256ビットの記憶容量を実現する。ここでは4ビットが1ワードであるとする。

メモリチップ200Aは、1個で1ビットのアドレス端子21を6個有し、さらに1ビットのデータ端子を4個(22, 22a, 22b, 22c)と、読出し書込み指定端子23と、出力許可端子24と、冗長実行端子25と、図示しないチップセレクト端子とを有する。チップセレクト端子は、チップ全体の動作許可および禁止を指定する。またメモリチップ200Aは、4つのメモリチップ200Aを個別に識別するための認識番号記憶手段である識別番

号指定端子26を有する。

メモリチップ200Aは、メインメモリセル27、冗長行メモリセル28、冗長列メモリセル29、冗長行セクタ回路30、冗長列セクタ回路31、第1デマルチプレクサ32、第2デマルチプレクサ33、第1ヒューズ回路34および第2ヒューズ回路35を有する。メインメモリセル27は、互いに直交する複数のデータ線およびワード線が交差する箇所でデータを保持する。第1および第2デマルチプレクサ32, 33は、3ビットで構成されるアドレスで、8本の線から1つを指定するための回路である。たとえば、メインメモリセル27の行方向に延びるデータ線にアドレスの1ビット目から3ビット目を与え、メインメモリセル27の前記行方向に垂直な列方向に延びるワード線にアドレスの4ビット目から6ビット目を与える。このようにして64ビットメモリとなるメインメモリセル27が構成される。

メインメモリセル27のデータ線およびワード線が断線すると、メインメモリセル27の該当する箇所が欠陥となってしまう。冗長行セクタ回路30および冗長列セクタ回路31は、メインメモリセル27における欠陥となったデータ線およびワード線を選ぶために、冗長行メモリセル28のデータ線および冗長列メモリセル29のワード線を選択する。本実施の形態では、冗長行メモリセル28はデータ線を1行有し、冗長列メモリセル29はワード線を1列有する。冗長行メモリセル28および冗長列メモリセル29は、メインメモリセル27の複数のデータ線およびワード線の断線に対応するために、それぞれ複数のデータ線およびワード線を有する構成であってもよい。

第1および第2ヒューズ回路34, 35は、欠陥となったメインメモリセル27のデータ線およびワード線を切り離す。第1および第2ヒューズ回路34, 35は、冗長行セクタ回路30および冗長列セクタ回路31から与えられる冗長実行信号および切断線選択信号に基づいて、メインメモリセル27のデータ線およびワード線を切り離す。また第1および第2ヒューズ回路34, 35は、メインメモリセル27から読み出しの動作が行われたことを表す信号を出力する端子を有し(図示せず)、この出力は第1および第2ヒューズ回路34, 35の全出力の論理和となっている。第1および第2ヒューズ回路34, 35の詳細な説明は、前述の第1の実施形態における図2ー図4と同様であるので省略する。冗長行セクタ回路30および冗長列セクタ回路31の詳細な説明は、前述の

第1の実施形態における図6と同様であるので省略する。

アドレス端子21のうち1番目〜3番目のビットが入力される端子は、冗長行セクタ30と、冗長列セクタ31と、第1デマルチプレクサ32とに電氣的に接続される。アドレス端子21のうち4番目〜6番目のビットが入力される端子は、冗長行セクタ30と、冗長列セクタ31と、第2デマルチプレクサ33とに電氣的に接続される。第1データ端子22は、冗長行セクタ回路30と、冗長列セクタ31と、第1双方向データ制御部39aと、第2双方向データ制御部39bと、第3双方向データ制御部39cとに電氣的に接続される。第2データ端子22aは、冗長行セクタ回路30と、冗長列セクタ31と、第1双方向データ制御部39aと、第2双方向データ制御部39bと、第3双方向データ制御部39cとに電氣的に接続される。第3データ端子22bは、第1双方向データ制御部39aと、第2双方向データ制御部39bと、第3双方向データ制御部39cとに電氣的に接続される。第4データ端子22cは、第1双方向データ制御部39aと、第2双方向データ制御部39bと、第3双方向データ制御部39cとに電氣的に接続される。

読出し書込み指定端子23は、第1リードライト制御部37aと、第2リードライト制御部37bと、第3リードライト制御部37cと、第1双方向データ制御部39aと、第2双方向データ制御部39bと、第3双方向データ制御部39cとに電氣的に接続される。出力許可端子24は、第1双方向データ制御部39aと、第2双方向データ制御部39bと、第3双方向データ制御部39cとに電氣的に接続される。冗長実行端子25は、冗長行セクタ30と、冗長列セクタ31とに電氣的に接続される。識別番号指定端子26は、冗長行セクタ回路30と、冗長列セクタ回路31と、第1双方向データ制御部39aとに電氣的に接続される。

冗長行セクタ回路30は、冗長行メモリセル28と、第1ヒューズ回路34と、AND-ORゲート38の一方および他方の論理積回路と、第3双方向データ制御部39cとに電氣的に接続される。冗長列セクタ回路31は、冗長列メモリセル29と、第2ヒューズ回路35と、AND-ORゲート38の一方の論理積回路と、論理積回路から成る第1ANDゲート45とに電氣的に接続される。第1デマルチプレクサ32は、第1ヒューズ回路34に電氣的に接続される。第2デマルチプレクサ33は、第2ヒューズ回路35に電氣的に接続される。第1ヒューズ回路34は、メインメモリセル27と、第1ANDゲート45

と、論理積回路から成る第2ANDゲート46とに電氣的に接続される。第2ヒューズ回路35は、メインメモリセル27と、AND—ORゲート38の他方の論理積回路と、第2ANDゲート46とに電氣的に接続される。

第1リードライト制御部37aは、冗長列メモリセル29と、第2双方向データ制御部39bとに電氣的に接続される。第2リードライト制御部37bは、メインメモリセル27と、冗長列メモリセル29と、第1双方向データ制御部39aとに電氣的に接続される。第3リードライト制御部37cは、冗長列メモリセル29と、冗長列メモリセル29を介して冗長行メモリセル28と、第3双方向データ制御部39cとに電氣的に接続される。

2つの論理積回路と1つの論理和回路とから成るAND—ORゲート38は、第3リードライト制御部37cと、第3双方向データ制御部39cとに電氣的に接続される。第1ANDゲート45は、第1リードライト制御部37aと、第2双方向データ制御部39bとに電氣的に接続される。第2ANDゲート46は、第2リードライト制御部39bと、第1双方向データ制御部39aとに電氣的に接続される。第1双方向データ制御部39aによって、メインメモリセル27を64ワードのメモリ空間のうちの特定のデータビット空間に対応付けする。たとえば認識番号が一致するデータビット空間に64ビット空間が対応するようにしてもよい。

メインメモリセル27の救済を行うとき、第1リードライト制御部37aと、第2リードライト制御部37bと、第3リードライト制御部37cとそれぞれ独立させる。冗長行セクタ回路30および冗長列セクタ回路31には、冗長救済信号のうち、識別番号に対応する記憶回路86を有しており、冗長行メモリセル28に電氣的に接続される第3リードライト制御部37cおよび冗長列メモリセル29に電氣的に接続される第1リードライト制御部37aからのデータとともに、救済されたデータに対する識別番号が第2双方向データ制御部39bおよび第3双方向データ制御部39cに与えられ、救済された識別番号に対応するデータ端子22, 22a, 22b, 22cに出力される。

自己のメインメモリセル27の欠陥を救済する場合、メインメモリセル27に対する第1双方向データ制御部39aは動作せず、救済した双方向データ制御部がデータに対する入出力を行う。また他のメモリチップ200Aのメインメモリセル27の欠陥を救済する場合、識別番号が異なっているので、メモリチップ200A内では異なるデータビット

への入出力となる。また欠陥となるメインメモリセル27を有するメモリチップ200Aは、データの入出力を行わない。

図15は、積層形メモリシステム120Aを示す斜視図である。積層形メモリシステム120Aは、前述の第1ー第3の実施形態のメモリチップ20、200、200Aが4個厚み方向に積層されて構成される。積層形メモリシステム120Aにおいて、各メモリチップ20の各端子22ー26は、各メモリチップ20を厚み方向に貫通して設けられる電極に、図8および図13に示すように電氣的に共通に接続される。

図16Aは、複数のメモリチップ20を平面的に接続したメモリシステムに対して外部から信号を与えた場合の各メモリチップ20の入力端子の電圧の時間変化をシミュレーションした結果を示すグラフであり、図16Bは、積層形メモリシステム120Aに対して外部から信号を与えた場合の各メモリチップ20の入力端子の電圧の時間変化をシミュレーションした結果を示すグラフである。図16Aおよび図16Bの横軸は時間を表し、縦軸は電圧を表す。メモリチップ20を平面的に接続したメモリシステムでは、図16Aに示すように、メモリチップ20の延在方向の寸法分(10ミリメートル四方と仮定)ずつ信号が遅れて伝わっている。積層形メモリシステム120Aでは、図16Bに示すように、メモリチップ20の厚み(50マイクロメートルと仮定)分ずつ信号がわずかに遅れるけれども、各メモリチップが信号を受け取る時間差はほとんどない。

したがってメモリチップ20を厚み方向に積層した積層形メモリシステム120Aでは、全てのメモリチップ20が受け取る信号の時間差が最小化される。これによって積層形メモリシステム120Aでは、全てのメモリチップ20があたかも1つのメモリチップであるかのように動作する。したがって積層形メモリシステム120Aにおいて、メモリチップ20相互で冗長救済を行う場合、メモリシステム120Aの動作速度に影響しないので、高速動作をさせることができる。

最も望ましいメモリシステム120Aは、JTAG機能を有し、JTAG機能によって識別番号が指定されるメモリチップであって、第2の実施形態のメモリチップ200を用いた積層形メモリシステムである。このようなメモリシステムでは、製造工程における一括ボンディング工程においては、端子数が増加しても生産性の低下がない。

本発明は、その精神または主要な特徴から逸脱することなく、他のいろいろな形態

で実施できる。したがって、前述の実施形態はあらゆる点で単なる例示に過ぎず、本発明の範囲は特許請求の範囲に示すものであって、明細書本文には何ら拘束されない。さらに、特許請求の範囲に属する変形や変更は全て本発明の範囲内のものである。

### 産業上の利用可能性

[0006] 本発明によれば、救済命令入力手段に入力される救済命令に含まれる認識番号が、認識番号記憶手段に記憶されている認識番号に一致する場合、救済命令によって指定されるメインメモリ手段の欠陥に対応するメモリ空間がメモリ空間切離手段によって切離される。また自己の冗長メモリ手段もしくは他のメモリ装置の冗長メモリ手段によって救済する準備がなされる。さらに救済命令によって、割当手段によって、メインメモリ手段の欠陥に対応するメモリ空間が冗長メモリ手段のメモリ空間に置き換えられるように割当てられる。さらに、救済命令入力手段に入力される救済命令に含まれる認識番号が、認識番号記憶手段に記憶されている認識番号に一致しない場合、救済命令によって指定される他のメモリ装置のメインメモリ手段の欠陥を救済するために、その欠陥に対応するメモリ空間が自己の冗長メモリ手段のメモリ空間に置き換えるように割当てられる。したがって、メモリ装置の製造プロセスにおいてメインメモリ手段に欠陥が生じて、メモリ装置が欠陥とはならないので、製造の歩留まりを向上させることができる。

また本発明によれば、自己診断手段は、メインメモリ手段および冗長メモリ手段に欠陥が存在するか否かを診断する。欠陥位置記憶手段は、メインメモリ手段における欠陥の位置を記憶する。これによってメインメモリ手段のどこに欠陥があるかを把握することができる。救済情報記憶手段は、冗長メモリ手段のメインメモリ手段への救済状態を表す救済情報を記憶する。冗長救済要求手段は、自己の冗長メモリ手段による自己のメインメモリ手段の救済が不可能な場合、他のメモリ装置に対して、自己のメインメモリ手段の救済を要求する。これによってメモリ装置のメインメモリ手段が自己で救済できなくても、他のメモリ装置によって自己のメインメモリ手段を救済することが可能になる。

また本発明によれば、冗長救済受信手段は、他のメモリ装置の冗長救済要求手段

からの救済の要求を受信する。割当手段は、他のメモリ装置の冗長救済要求手段から救済の要求があると、前記他のメモリ装置のメインメモリ手段の欠陥が生じたメモリ空間を自己の冗長メモリ手段のメモリ空間に置き換えるように割当てて。このようにメモリ装置のメインメモリ手段が自己で救済できなくても、他のメモリ装置によって自己のメインメモリ手段を救済することができる。これによってメモリ装置の製造プロセスにおいてメインメモリ手段に欠陥が生じて、メモリ装置が欠陥とはならないので、製造の歩留まりをさらに向上させることができる。

また本発明によれば、冗長救済受信手段は、他の全てのメモリ装置の冗長救済要求手段からの救済の要求を受信可能であるので、各メモリ装置は、他の全てのメモリ装置のメインメモリ手段の救済をすることが可能となる。

また本発明によれば、メモリ装置は、他のメモリ装置と厚み方向に積層されて配置され、各メモリ装置の冗長救済要求手段と冗長救済受信手段とは、各メモリ装置を厚み方向に貫通して設けられる電極に電氣的に共通に接続される。これによってメモリ装置が、他のメモリ装置と平面的に配置されて電氣的に接続される場合に比べて、メモリ装置間の信号の伝達時間を少なくすることができるので、メモリ装置の動作を高速にすることができる。



## 請求の範囲

- [1]     メインメモリ手段と、  
メインメモリ手段に存在する欠陥を救済する冗長メモリ手段と、  
メインメモリセルに対応する認識番号を記憶する認識番号記憶手段と、  
認識番号を含む救済命令が入力される救済命令入力手段と、  
メインメモリ手段の欠陥に対応するメモリ空間をメインメモリ手段から切離して動作させないようにするメモリ空間切離手段と、  
メインメモリ手段の欠陥が生じたメモリ空間を冗長メモリ手段のメモリ空間に置き換えるように割当てする割当手段とを含み、  
該割当手段は、救済命令に含まれる認識番号が、認識番号記憶手段に記憶されている認識番号に一致する場合、救済命令入力手段に入力される救済命令によって指定されたメインメモリ手段の欠陥に対応するメモリ空間をメインメモリ手段から切離して動作させないようにし、  
救済命令に含まれる認識番号が、認識番号記憶手段に記憶されている認識番号に一致する場合、救済命令入力手段に入力される救済命令によって指定されたメインメモリ手段の欠陥に対応するメモリ空間を冗長メモリ手段のメモリ空間に置き換えるように割当て、  
救済命令に含まれる認識番号が、認識番号記憶手段に記憶されている認識番号に一致しない場合、救済命令入力手段に入力される救済命令によって指定された他のメモリ装置のメインメモリ手段の欠陥に対応するメモリ空間を、自己の冗長メモリ手段のメモリ空間に置き換えるように割当てすることを特徴とするメモリ装置。
- [2]     メインメモリ手段および冗長メモリ手段に欠陥が存在するか否かを診断する自己診断手段と、  
メインメモリ手段における欠陥の位置を記憶する欠陥位置記憶手段と、  
冗長メモリ手段のメインメモリ手段への救済状態を表す救済情報を記憶する救済情報記憶手段と、  
自己の冗長メモリ手段による自己のメインメモリ手段の救済が不可能な場合、電氣的に接続される他のメモリ装置に対して、自己のメインメモリ手段の救済を要求する

冗長救済要求手段とをさらに含むことを特徴とする請求項1記載のメモリ装置。

- [3] 他のメモリ装置の冗長救済要求手段からの救済の要求を受信する冗長救済受信手段をさらに含み、

割当手段は、他のメモリ装置の冗長救済要求手段から救済の要求があると、前記他のメモリ装置のメインメモリ手段の欠陥が生じたメモリ空間を自己の冗長メモリ手段のメモリ空間に置き換えるように割当ててことを特徴とする請求項2記載のメモリ装置。

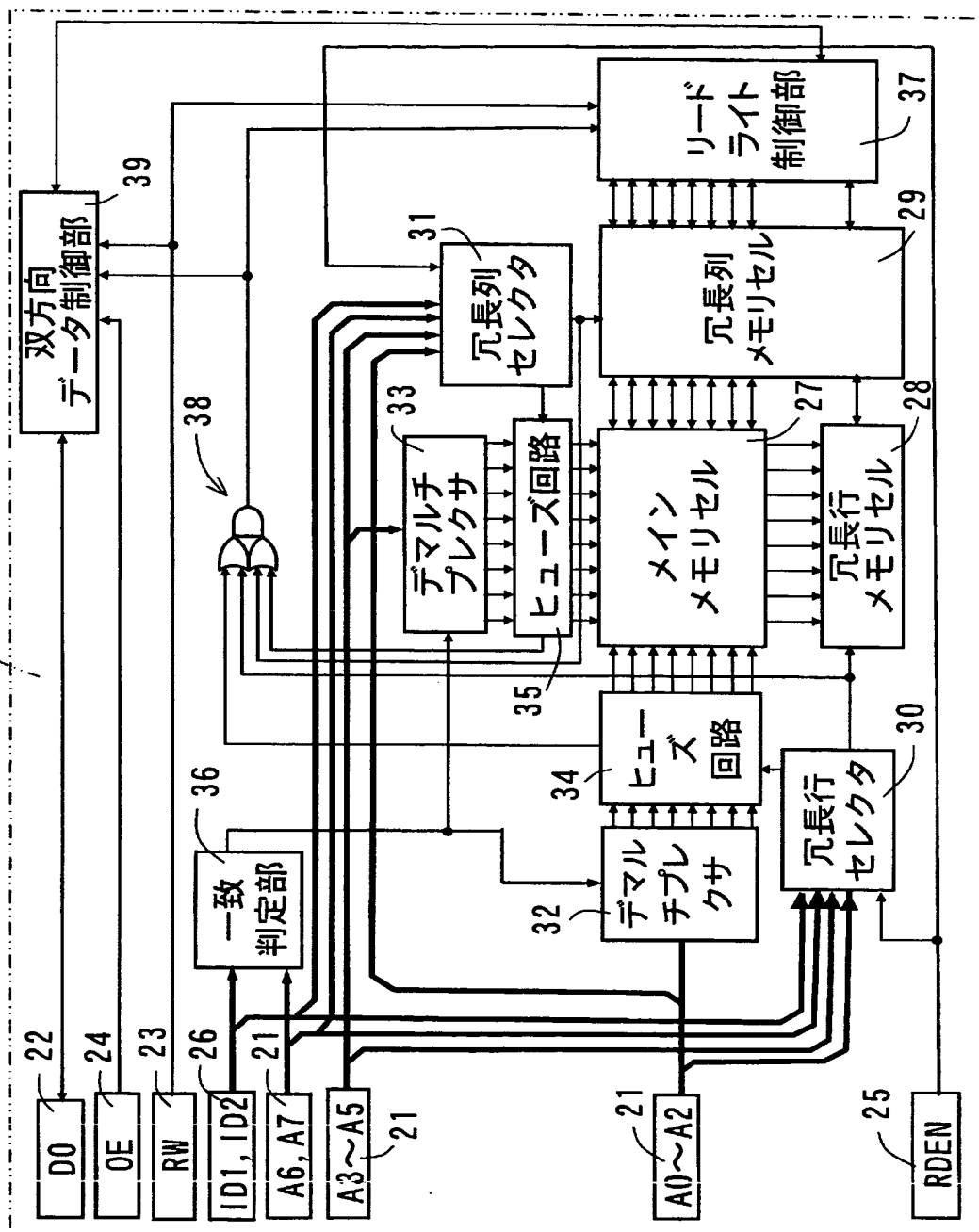
- [4] 冗長救済受信手段は、他の全てのメモリ装置の冗長救済要求手段からの救済の要求を受信可能であることを特徴とする請求項3記載のメモリ装置。

- [5] メモリ装置は、他のメモリ装置と厚み方向に積層されて配置され、各メモリ装置の冗長救済要求手段と冗長救済受信手段とは、各メモリ装置を厚み方向に貫通して設けられる電極に電氣的に共通に接続されることを特徴とする請求項4記載のメモリ装置

。

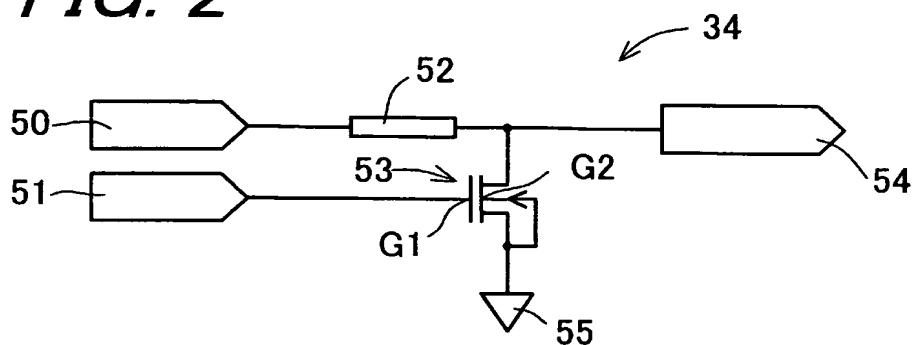
[図1]

FIG. 1



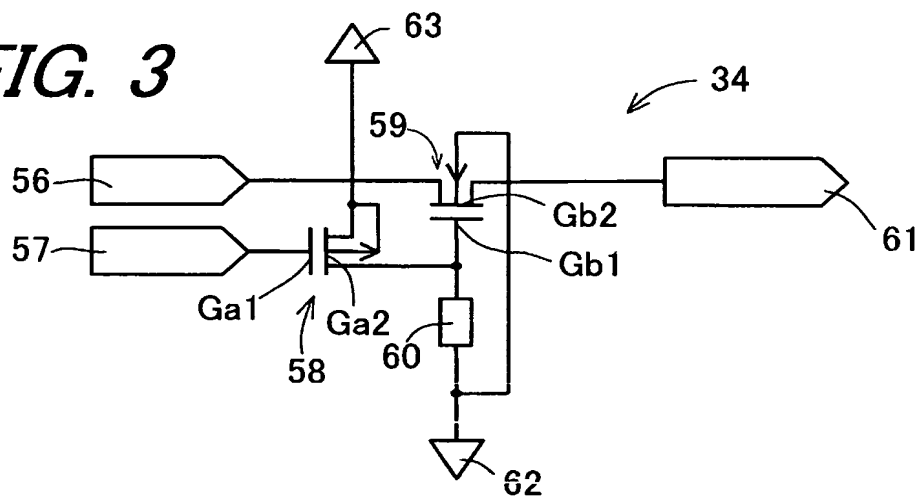
[図2]

**FIG. 2**

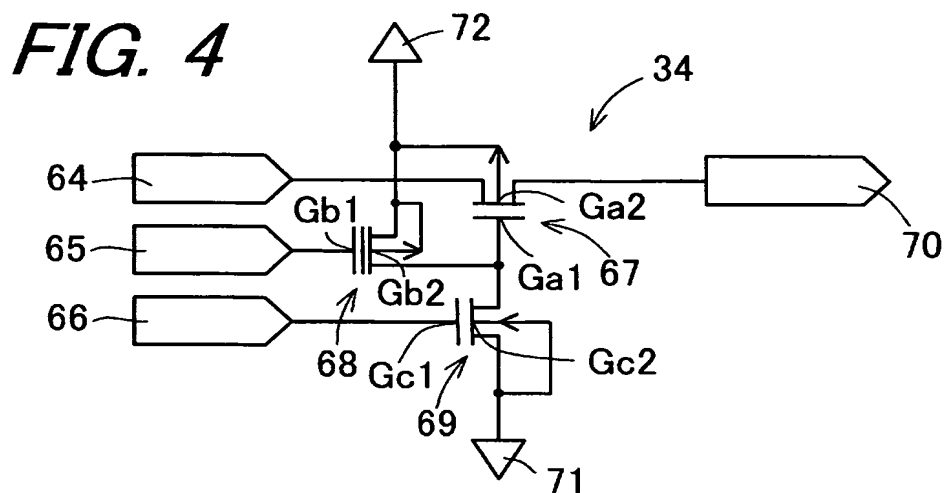


[図3]

**FIG. 3**



[図4]



[図5A]

**FIG. 5A**

RDEN	A0~A2	A3	A4, A5	A6, A7
H	冗長行(列) レジスタ値	行/ 列	命令 番号	I D 番号

A3=0 : 行の冗長救済

A4=1, A5=0 : 冗長命令 1

A3=1 : 列の冗長救済

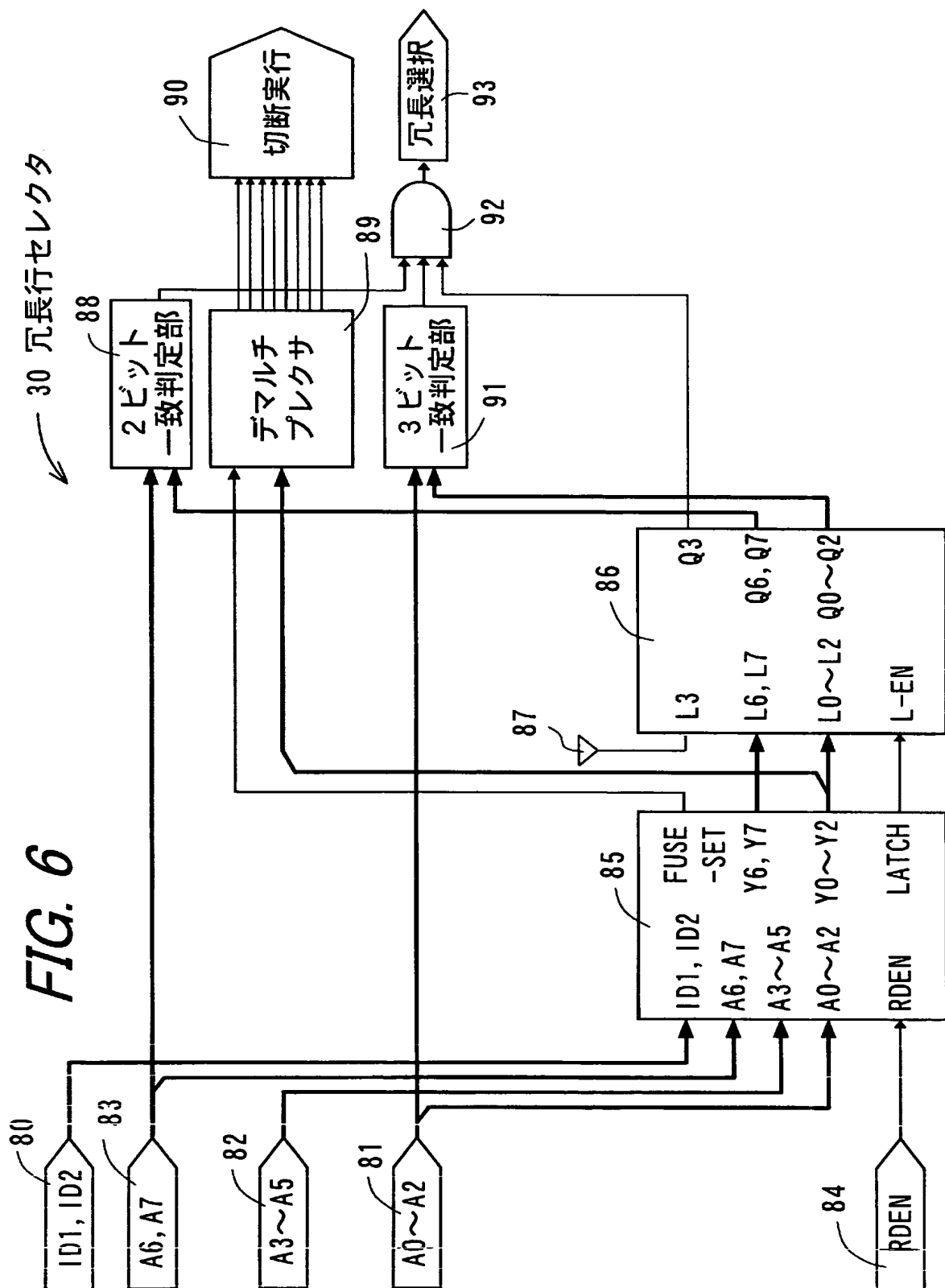
A4=0, A5=1 : 冗長命令 2

[図5B]

**FIG. 5B**

RDEN	A0~A5	A6, A7
L	アドレス	I D 番号

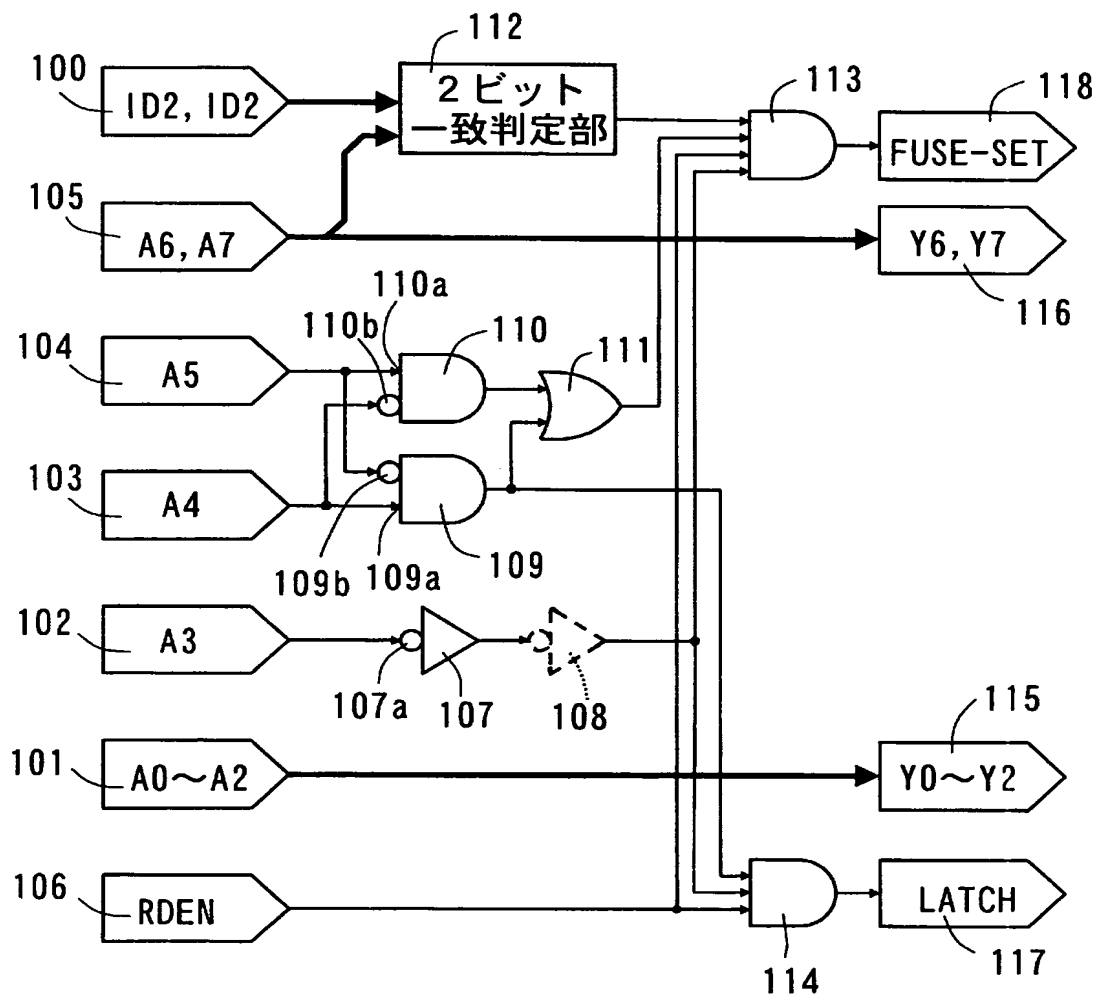
[図6]



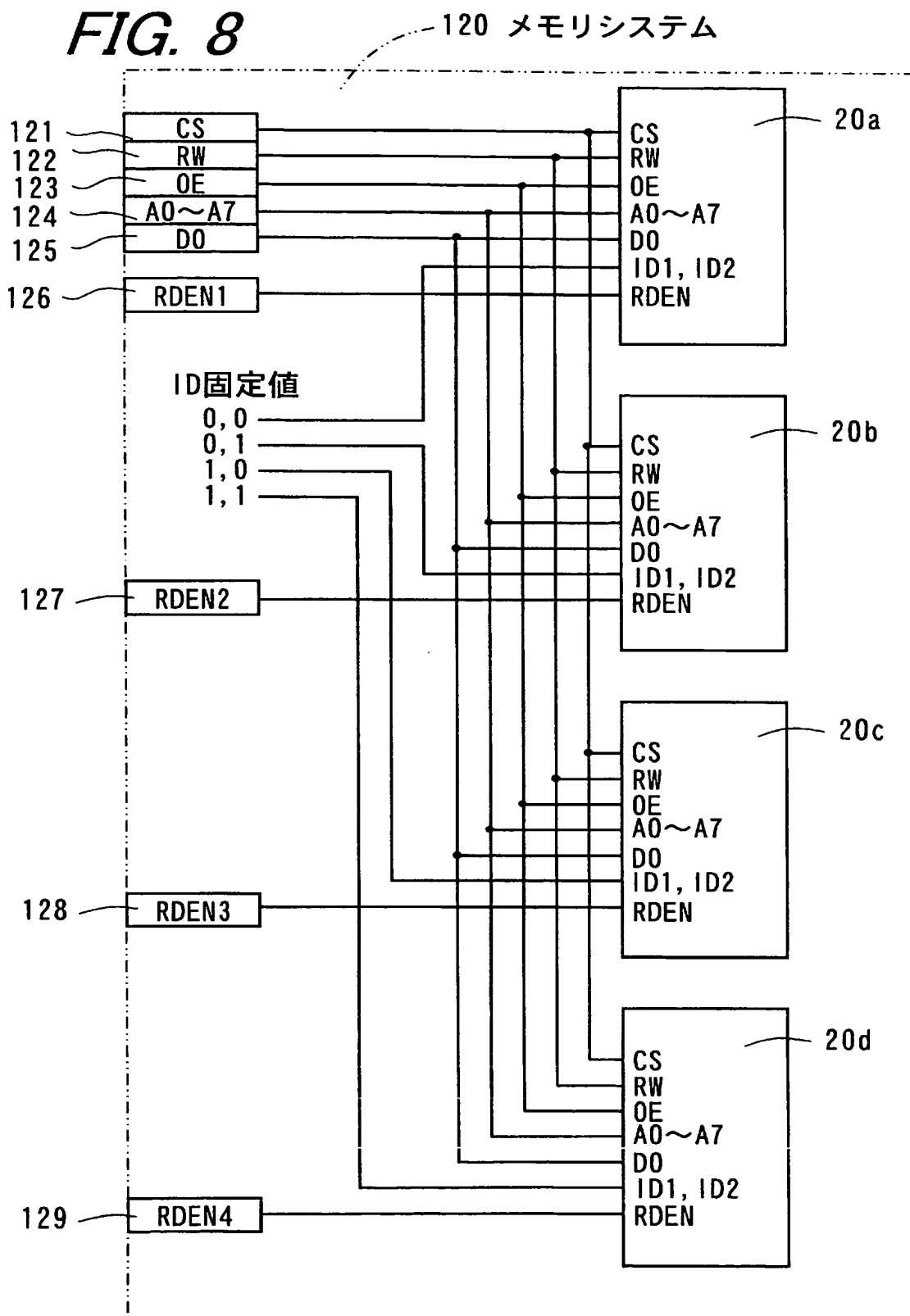
[図7]

FIG. 7

85 冗長救済命令デコード回路



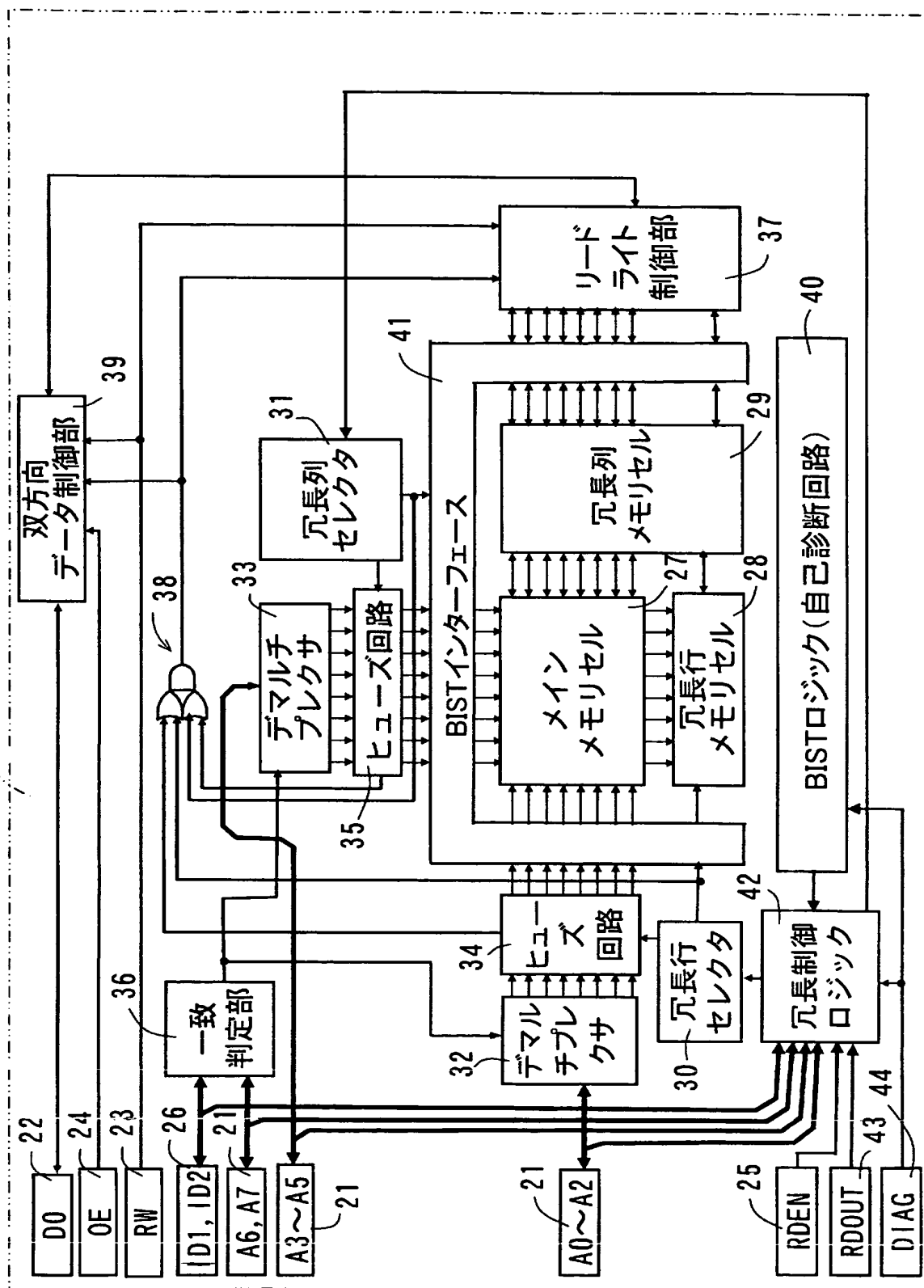
[図8]

**FIG. 8**



[図9]

FIG. 9



[図10A]

FIG. 10A

RDOUT	A0～A2	A3	A4, A5	A6, A7
H	冗長行(列) レジスタ値	行／ 列	発信者 番号	I D 番号

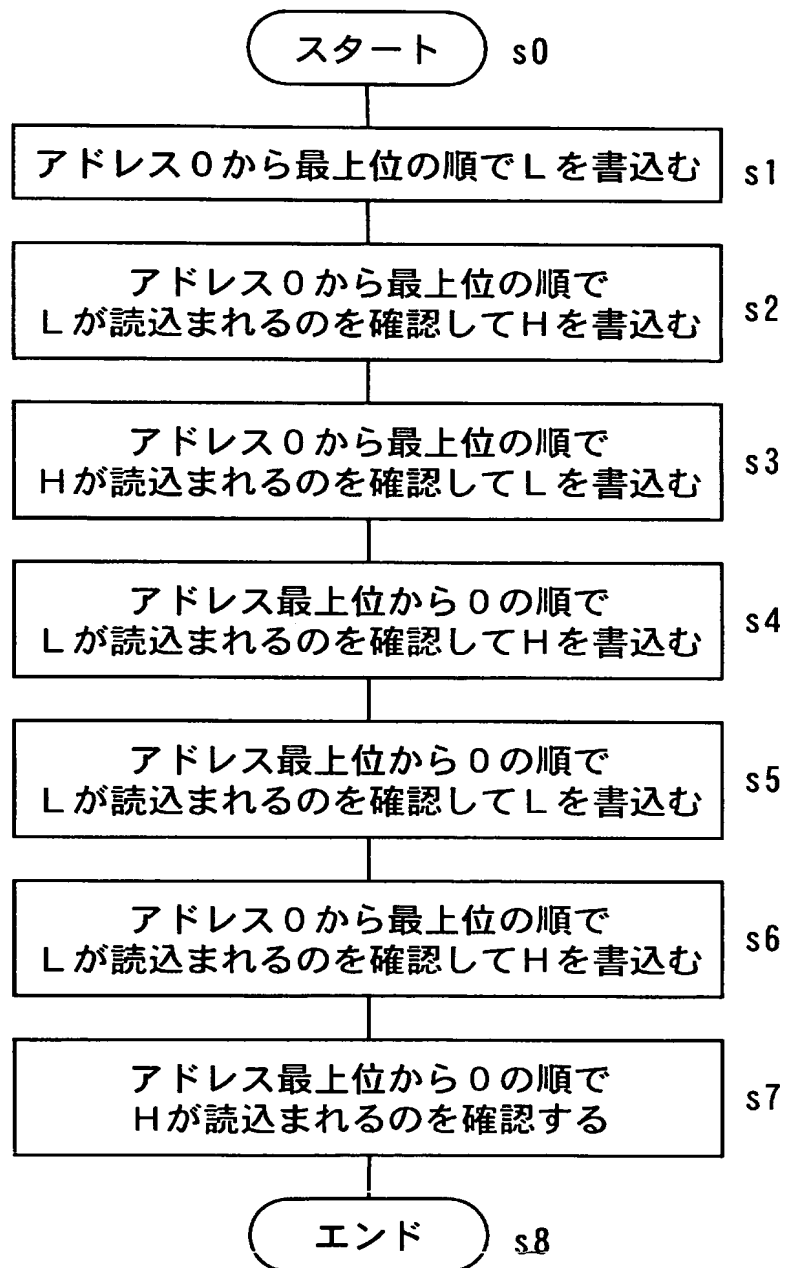
A3=0 : 行の冗長救済  
A3=1 : 列の冗長救済

[図10B]

FIG. 10B

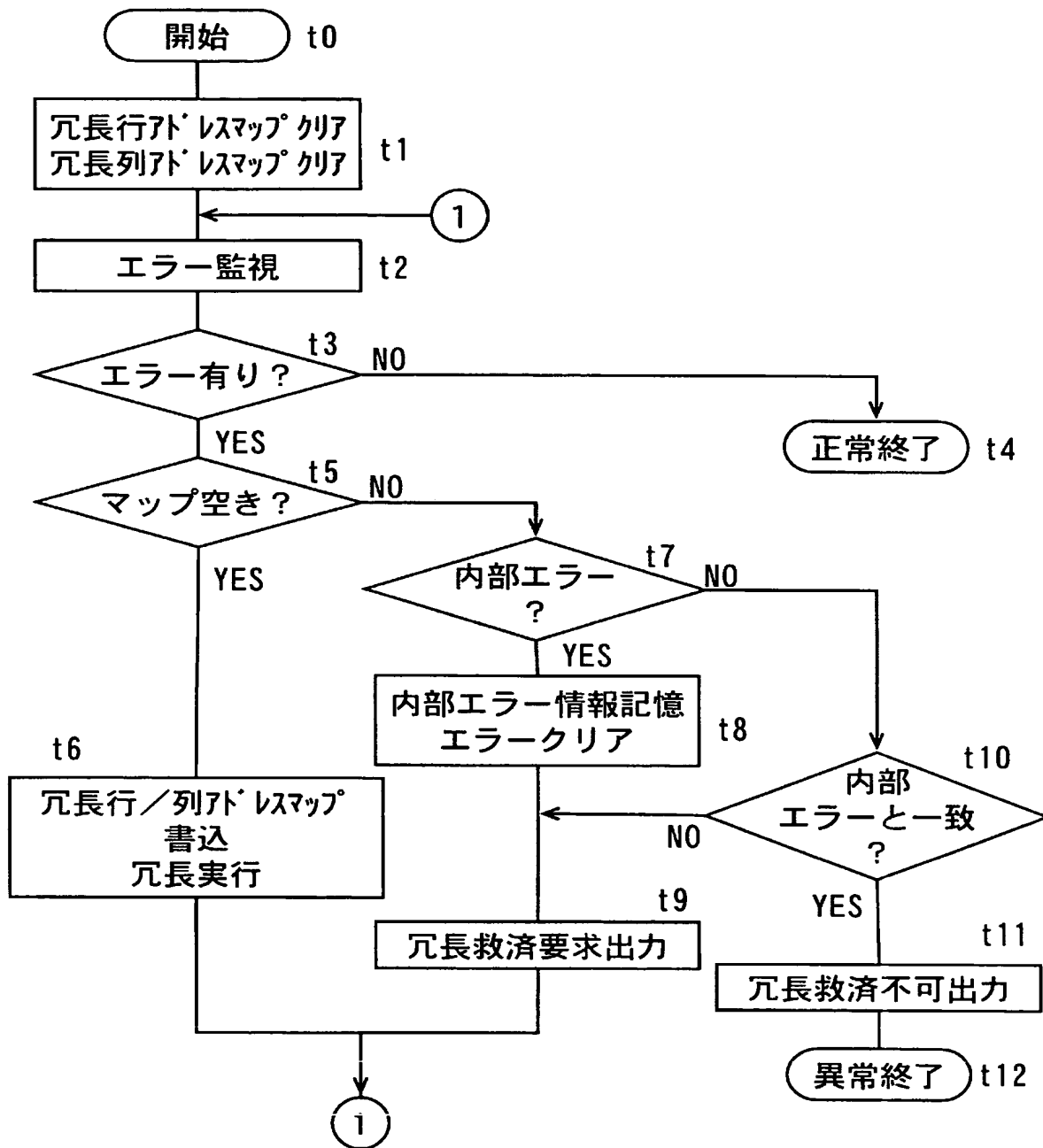
RDOUT	A0～A5	A6, A7
L	アドレス	I D 番号

[図11]

**FIG. 11**

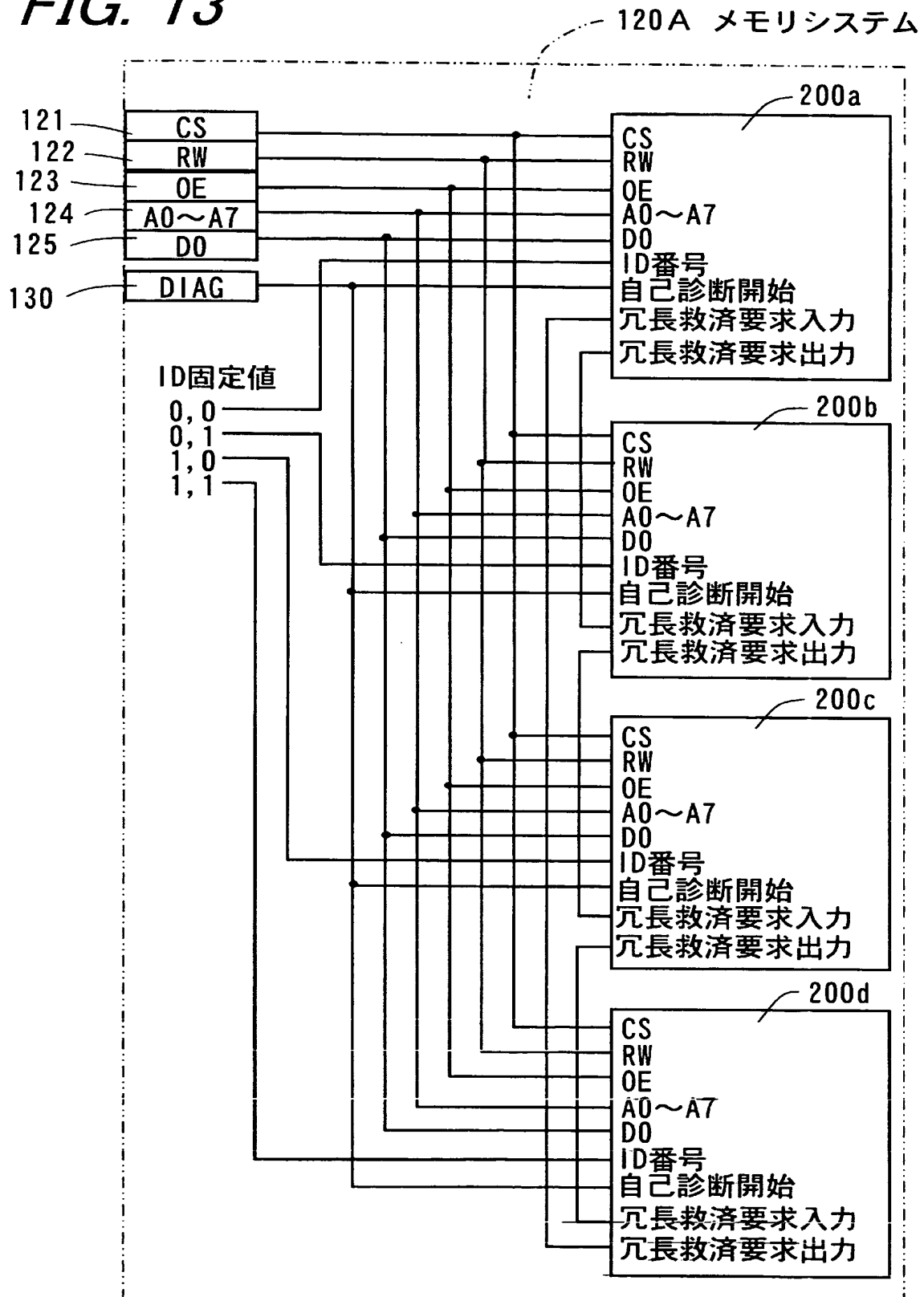
[図12]

FIG. 12



[図13]

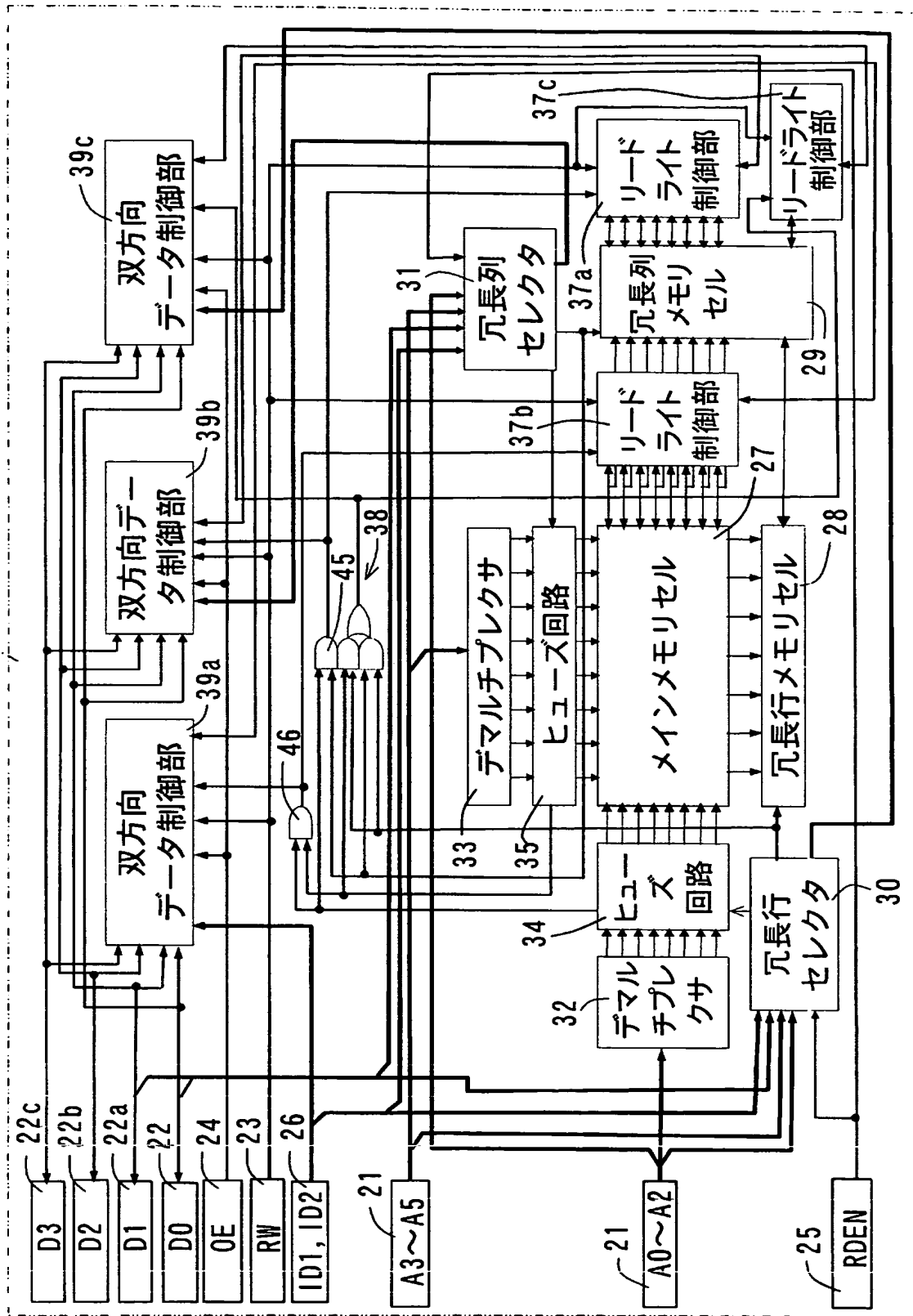
**FIG. 13**



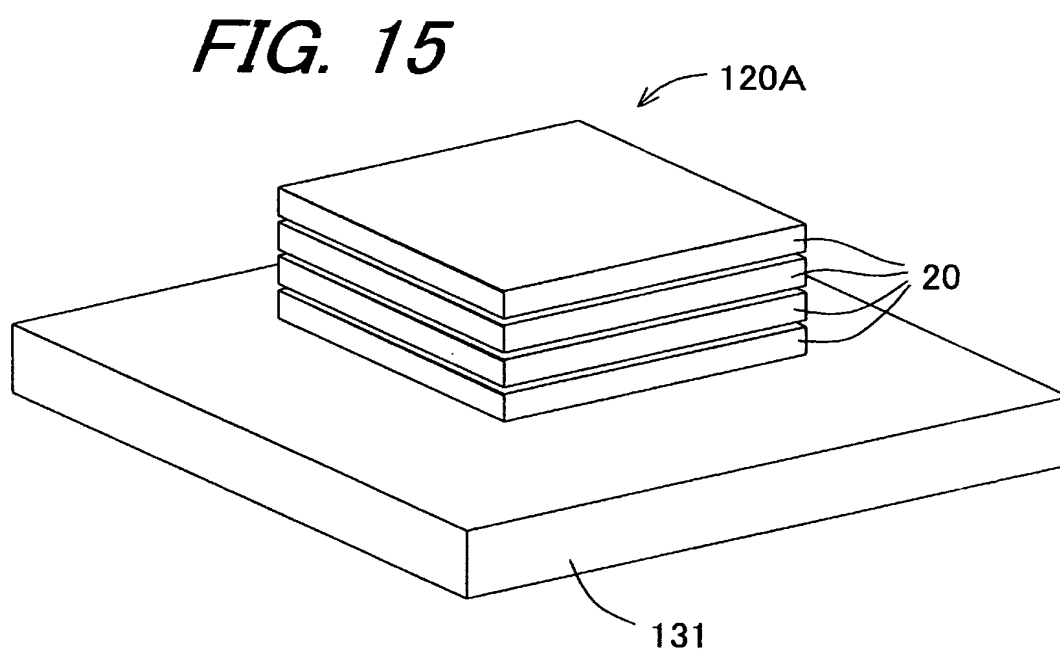
[図14]

FIG. 14

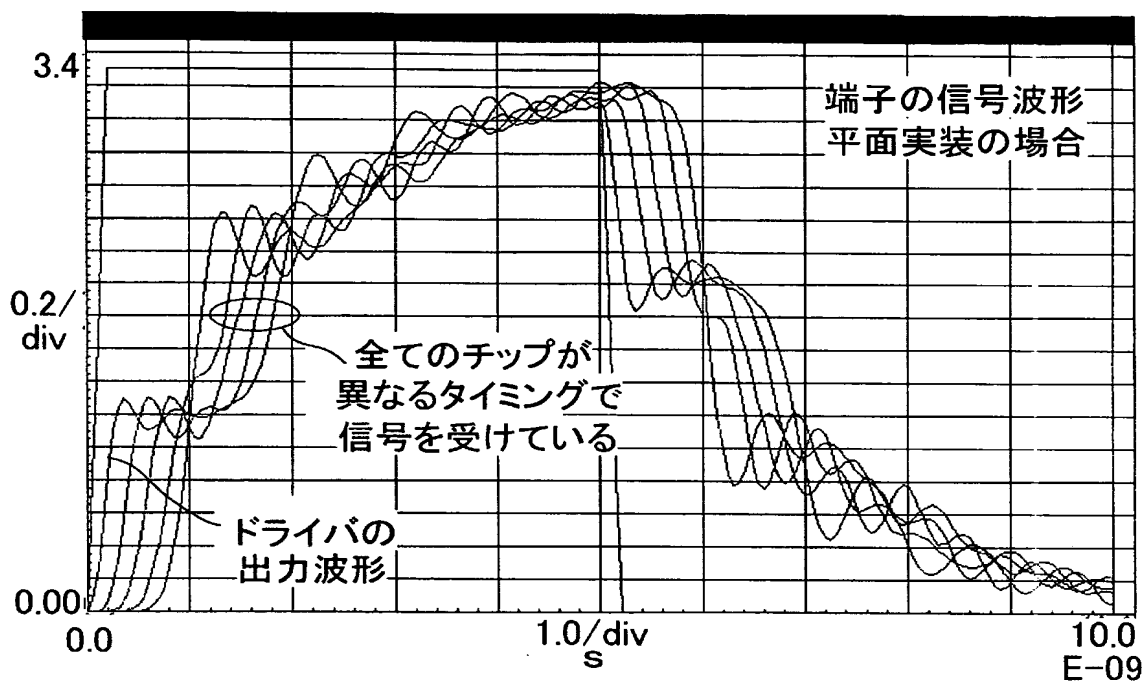
200A メモリチップ



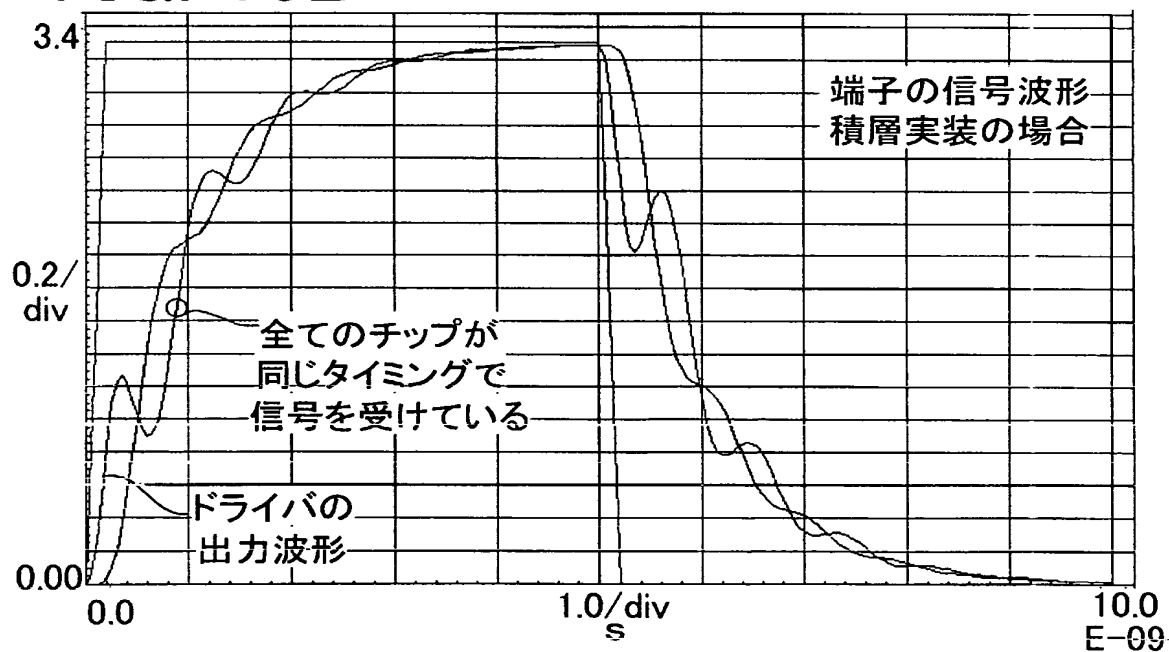
[図15]



[図16A]

**FIG. 16A**

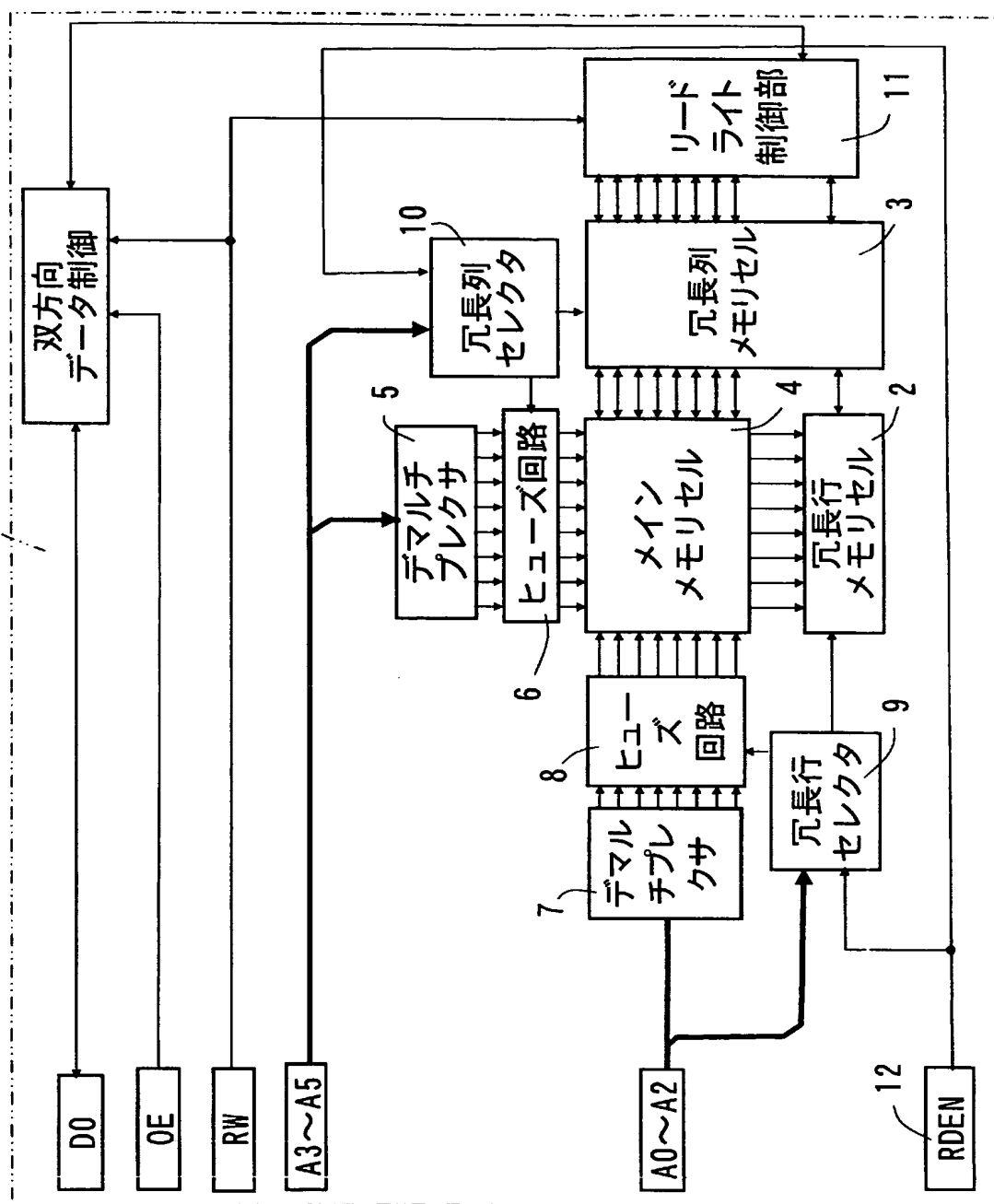
[図16B]

**FIG. 16B**



[図17]

FIG. 17



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/013960

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G11C29/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G11C11/34, G11C29/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-085691 A (Hitachi, Ltd.), 31 March, 1995 (31.03.95), Par. Nos. [0007] to [0031]; Figs. 1 to 11 & US 5469390 A	1-5
Y	JP 2002-025292 A (Hitachi, Ltd.), 25 January, 2002 (25.01.02), Par. Nos. [0023] to [0034], [0056] to [0073]; Figs. 1 to 4, 11 to 18 & US 2002/0024062 A1	1-5
Y	JP 2003-163326 A (Taiyo Yuden Co., Ltd.), 06 June, 2003 (06.06.03), Par. Nos. [0022] to [0028], [0046] to [0057]; Figs. 1 to 14 (Family: none)	5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
05 January, 2005 (05.01.05)

Date of mailing of the international search report  
25 January, 2005 (25.01.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G11C29/00

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G11C11/34, G11C29/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 7-085691 A (株式会社日立製作所), 1995. 03. 31, 段落【0007】～【0031】, 図1～図11, & US 5469390 A	1-5
Y	JP 2002-025292 A (株式会社日立製作所), 2002. 01. 25, 段落【0023】～【0034】, 【0056】～【0073】, 図1～図4, 図11～図18, & US 2002/0024062 A1	1-5
Y	JP 2003-163326 A (太陽誘電株式会社),	5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

05. 01. 2005

国際調査報告の発送日

25. 1. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

丹治 彰

5N

3578

電話番号 03-3581-1101 内線 6840

## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	2003.06.06, 段落【0022】～【0028】, 【0046】～【0057】, 図1～図14 (ファミリーなし)	